

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

7313599

Basic Patent (No,Kind,Date): FR 2155877 A1 730525 <No. of Patents: 002>

Patent Assignee: ANVAR

IPC: *H03K-013/00;

Language of Document: French

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
FR 2155877	A1	730525	FR 7136699	A	711013	(BASIC)
FR 2155877	B1	740531	FR 7136699	A	711013	

Priority Data (No,Kind,Date):

FR 7136699 A 711013

①⑨ RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①① N° de publication :
(A n'utiliser que pour
le classement et les
commandes de reproduction.)

2.155.877

②① N° d'enregistrement national :
(A utiliser pour les paiements d'annuités,
les demandes de copies officielles et toutes
autres correspondances avec l'I.N.P.I.)

71.36699

⑬ DEMANDE
DE BREVET D'INVENTION

1^{re} PUBLICATION

②② Date de dépôt..... 13 octobre 1971, à 11 h 15 mn.
④① Date de la mise à la disposition du
public de la demande..... B.O.P.I. — «Listes» n. 21 du 25-5-1973.

⑤① Classification internationale (Int. Cl.).. H 03 k 13/00.

⑦① Déposant : Établissement public dit : AGENCE NATIONALE DE VALORISATION DE LA
RECHERCHE, Tour Aurore, Cédex n. 5, 92-Paris Défense.

Titulaire : *Idem* ⑦①

⑦④ Mandataire :

⑤④ Perfectionnements apportés aux convertisseurs à entrée numérique et sortie analogique
exponentielle.

⑦② Invention de : Daniel Degryse.

③③ ③② ③① Priorité conventionnelle :

La présente invention est relative à des perfectionnements apportés aux convertisseurs à entrée numérique et sortie analogique exponentielle et plus particulièrement aux convertisseurs du genre en question dans lesquels l'entrée se présente sous
5 forme d'un signal numérique binaire.

On connaît déjà des convertisseurs du genre en question, qui sont souvent appelés convertisseurs à entrée numérique logarithmique et sortie analogique exponentielle et sont constitués essentiellement par des éléments à caractéristiques non linéaires
10 tels que des transistors ou des diodes. De tels éléments à caractéristiques non linéaires sont très sensibles à la température ; des écarts de la température ambiante, par exemple, peuvent donc perturber de façon importante la valeur du signal analogique de sortie.

La présente invention a pour but de remédier à ces inconvénients et, en particulier, de fournir un convertisseur à entrée numérique et sortie analogique exponentielle qui soit peu affecté par les variations de température et pour lequel, de plus, le temps de propagation du signal à travers ses éléments constitu-
15 tifs est réduit.

L'invention a en outre pour but de fournir un convertisseur du genre en question dans lequel le signal analogique de sortie est une représentation fidèle et précise du signal numérique d'entrée.

25 Un autre but de l'invention est de permettre une réalisation d'un tel convertisseur qui soit simple et qui puisse être effectuée à l'aide de circuits intégrés.

Un autre but encore de l'invention est de fournir un convertisseur numérique/analogique exponentiel qui puisse être utilisé
30 pour les diverses lois de variation du signal analogique de sortie en fonction du signal numérique d'entrée qui sont préconisées dans les ensembles de télécommunication du type connu sous la dénomination PCM.

Le convertisseur selon l'invention est caractérisé par le
35 fait qu'il comporte, d'une part, un transcodeur propre à convertir un signal numérique appliqué sur ses entrées en l'alimentation d'au moins une de ses lignes de sortie, cette ligne ou combinaison de lignes étant unique pour chaque nombre représenté par ledit signal numérique et, d'autre part, un réseau de
40 conversion à éléments passifs dont au moins une partie des

entrées est connectée, dans un ordre donné, à au moins une partie des lignes de sortie du transcodeur et qui comprend une sortie propre à délivrer un signal analogique, ledit réseau de conversion et ledit ordre donné étant tels que le signal analogique de sortie est une fonction exponentielle du nombre représenté par le signal numérique d'entrée.

De préférence, le réseau de conversion est du type R-2R, c'est-à-dire un réseau qui comporte essentiellement des résistances de valeur R et de la valeur double 2R, ce réseau comprenant, en outre, des commutateurs à deux positions commandés par les signaux provenant des lignes de sortie du transcodeur et propres à mettre à la masse ou à un potentiel V donné, la borne libre de chaque résistance de valeur 2R qui est opposée à la borne de jonction entre cette résistance et une résistance de valeur R, ce réseau étant tel que lorsqu'une seule des résistances de valeur 2R a sa borne libre portée au susdit potentiel V donné, le signal analogique de sortie a une amplitude proportionnelle à 2^i , i étant le rang, compté en partant à l'opposé de la borne de sortie dudit réseau, de cette borne libre portée au potentiel donné ; le convertisseur muni de ce réseau R-2R étant tel que le susdit rang i est représentatif du signal numérique d'entrée.

Dans un mode de réalisation avantageux du convertisseur, le transcodeur comprend n entrées et 2^n sorties et le réseau de conversion comporte 2^n entrées, le transcodeur étant tel que les signaux appliqués à chacune des entrées du réseau de conversion sont tous identiques, à l'exception d'un seul.

Dans un autre mode de réalisation, prévu pour permettre que le signal analogique de sortie puisse prendre, pour un même signal numérique appliqué à l'entrée, des valeurs qui diffèrent pour des sous-multiples de 6 décibels, le convertisseur comprend un premier ensemble de n entrées pour le signal numérique à convertir en analogique, un second ensemble de h entrées propres à recevoir un second signal numérique et le réseau de conversion comporte un nombre d'entrées égal à $2^n + h$, le convertisseur étant agencé de façon telle que les signaux appliqués à chacune des entrées du réseau de conversion sont tous identiques, à l'exception d'au moins un et d'au plus h + 1 de ces signaux, ces h + 1 signaux qui diffèrent éventuellement tous des autres étant appliqués à des entrées du réseau de conversion dont les rangs i se suivent.

D'autres buts, dispositions et caractéristiques de l'invention apparaîtront encore au cours de la description plus détaillée des modes de réalisation préférés de l'invention qui suit, en rapport avec les dessins sur lesquels :

- 5 - la figure 1 représente, sous forme de blocs, le convertisseur selon l'invention,
- la figure 2 illustre un mode de réalisation du transcodeur représenté sur la figure 1,
- la figure 3 montre un mode de réalisation avantageux du
- 10 réseau de conversion représenté sur la figure 1,
- la figure 4 illustre un mode de réalisation d'un des commutateurs représentés sur la figure 3,
- la figure 5 montre un autre mode de réalisation du convertisseur selon l'invention,
- 15 - la figure 6 est un diagramme qui illustre la relation entre le nombre d'entrées et de sorties du transcodeur représenté sur la figure 5,
- la figure 7 montre de façon partielle une réalisation du transcodeur de la figure 5,
- 20 - la figure 8 illustre un autre mode de réalisation du transcodeur représenté par la figure 5,
- la figure 9 montre la réalisation d'une porte NON-OU du transcodeur illustré par la figure 8,
- les figures 10 et 10a illustrent encore un autre mode de
- 25 réalisation du transcodeur représenté sur la figure 5,
- la figure 11 illustre la variation du signal analogique de sortie en fonction du signal numérique d'entrée pour le convertisseur représenté par les figures 1 ou 5,
- la figure 12 montre la loi de variation du type μ du
- 30 signal analogique de sortie en fonction du signal numérique d'entrée,
- la figure 13 représente un convertisseur selon l'invention qui permet de réaliser la loi μ ,
- la figure 14 représente la loi de variation du type A du
- 35 signal analogique de sortie en fonction du signal numérique d'entrée,
- la figure 15 illustre un convertisseur selon l'invention qui permet de réaliser cette loi A,
- la figure 16 illustre des dispositions conformes à l'in-
- 40 vention qui permettent d'obtenir un signal analogique à la sor-

tie du convertisseur selon l'invention qui ait une polarité déterminée par le signe du signal numérique d'entrée.

- la figure 17 est un diagramme illustrant une loi de variation symétrique du signal analogique en fonction du signal numérique,

- la figure 18 montre, conformément à l'invention, des dispositions du convertisseur qui permettent d'obtenir la loi de variation représentée par la figure 17,

- la figure 19, enfin, représente une application du convertisseur selon l'invention pour réaliser un convertisseur inverse.

Le convertisseur numérique/analogique exponentiel comprend essentiellement (figure 1) deux unités.

D'une part, un transcodeur-sélecteur 11 à n entrées $12_1, 12_2, \dots$ et 2^n sorties $13_1, 13_2, \dots$. Les n entrées reçoivent par les n lignes $14_1, 14_2, \dots$ le signal numérique d'entrée, qui peut prendre 2^n valeurs possibles en binaire (si $n = 3$, à titre d'exemple, le signal peut prendre les $2^3 = 8$ valeurs suivantes : 000, 001, 010, 011, 100, 101, 110, 111) tandis que les 2^n sorties du transcodeur-sélecteur débitent un signal répondant au tableau de vérité (1) ci-après amputé de ses deux colonnes de droite.

TABLEAU (1)

	14_1	14_2	14_3	15_1	15_2	15_3	15_4	15_5	15_6	15_7	15_8	$A_{(dB)}$	V_s
25	0	0	0	1	0	0	0	0	0	0	0	0	$U.2^0$
	0	0	1	0	1	0	0	0	0	0	0	6	$U.2^1$
	0	1	0	0	0	1	0	0	0	0	0	12	$U.2^2$
	0	1	1	0	0	0	1	0	0	0	0	18	$U.2^3$
	1	0	0	0	0	0	0	1	0	0	0	24	$U.2^4$
30	1	0	1	0	0	0	0	0	1	0	0	30	$U.2^5$
	1	1	0	0	0	0	0	0	0	1	0	36	$U.2^6$
	1	1	1	0	0	0	0	0	0	0	1	42	$U.2^7$

Ce tableau montre qu'en réponse à un signal d'entrée donné, une et une seule sortie $13_1, 13_2, \dots$ débite sur la ligne de sortie correspondante $15_1, 15_2, \dots$, la sortie qui débite étant différente suivant la valeur du signal d'entrée.

D'autre part, un réseau linéaire 16 de conversion en analogique exponentiel des sorties du transcodeur-sélecteur 11. Ce réseau 16 comporte 2^n entrées $17_1, 17_2, \dots$, connectées aux sorties $13_1, 13_2, \dots$ du transcodeur-sélecteur par les lignes $15_1, 15_2, \dots$,

et une seule sortie 18 sur laquelle apparaît la tension analogique de sortie V_s (disponible sur la ligne 19), dont la valeur est donnée par la dernière colonne à droite du tableau de vérité (1) ci-dessus, U étant une tension arbitraire (l'avant dernière colonne du tableau donne l'amplitude A convertie en décibels des différentes valeurs de V_s).

D'une manière plus détaillée, le transcodeur-sélecteur 11 est illustré sur la figure 2 et on voit qu'il comprend, en parallèle, huit portes ET $20_1, 20_2, \dots$ à trois entrées ; les trois entrées de chaque porte ET sont connectées chacune à une des trois entrées $12_1, 12_2, 12_3$, soit directement, soit à travers un inverseur ou circuit NON 21, pour répondre au tableau de vérité (1) ci-dessus. Ainsi, par exemple, la porte 20_1 reçoit les trois entrées $12_1, 12_2, 12_3$ du transcodeur à travers un inverseur 21 ; la porte 20_2 reçoit l'entrée 12_3 directement et les deux autres entrées $12_1, 12_2$, à travers un inverseur 21 et ainsi de suite comme illustré sur cette figure 2.

Quant au réseau linéaire 16 (figure 3), il comprend 2^n ($2^n = 8$ dans l'exemple) commutateurs $22_1, 22_2, \dots$ (réalisé de préférence sous forme électronique, comme indiqué ci-après avec référence à la figure 4) et des résistances ayant deux valeurs ohmiques, savoir R , d'une part, et $2R$, d'autre part, (R étant une valeur déterminée) connectées comme illustré sur la figure 3. Au repos, les 2^n commutateurs sont dans la position représentée (à la masse). Lorsqu'un "1" est appliqué sur une des lignes $15_1, 15_2$, l'impulsion représentant cet "1" déplace un commutateur et un seul dans l'autre position (savoir le commutateur actionné par la ligne 15 alimentée). On remarquera tout d'abord que deux résistances de $2R$ en parallèle sont équivalentes à une résistance R . Donc, si le commutateur 22_1 est dans la position représentée, le point 23 voit à gauche et en bas la résistance R (équivalente aux deux résistances 24 et 25 de valeur $2R$ chacune) ; de même le point 26 voit à gauche et en bas la résistance R si les commutateurs 22_1 et 22_2 sont dans la position illustrée, et ainsi de suite.

Si on suppose maintenant que c'est le commutateur 22_m ($m = 8$ dans l'exemple) le plus à droite qui est activé, le point 18 verra la résistance $2R$ à gauche (somme de la résistance 27 de valeur R et de la résistance R vue par le point 28) et il se trouvera séparé de la masse par cette résistance $2R$ et de la

source délivrant le potentiel V également par la résistance $2R$ référencée 29 ; le point 18 sera donc au potentiel $V/2$ car se trouvant à mi-chemin, au point de vue résistance, entre le potentiel V et la masse. Dans ce cas, $V_s = V/2 = U.2^7$.

- 5 Si l'on suppose maintenant que c'est le second commutateur à partir de la droite, référencé 22 ($m - 1$), qui est activé, les autres commutateurs étant inactifs (à la masse), le point 28 verra à gauche la résistance $2R$ pour les raisons indiquées précédemment ; il sera connecté en bas au potentiel V par une résistance $2R$ référencée 30. Ainsi, en l'absence de la résistance 29 le potentiel du point 28, et donc du point 18, serait $V/2$ car aucun courant ne circulerait dans la résistance 27. Le potentiel du point 18, lorsque la résistance 29 de valeur $2R$ est branchée entre ledit point et la masse, est donc, par application du
- 15 théorème de Thévenin :

$$\frac{V}{2} \quad \frac{2R}{r+2R}$$

- où r est la valeur de la résistance qui est vue à gauche du point 18 quand le générateur qui délivre le potentiel V est en court-circuit, c'est-à-dire, dans le cas présent, quand le commutateur 22 ($m-1$) met le point 28 à la masse par l'intermédiaire de la résistance 30. Cette résistance a donc, comme on l'a déjà vu, pour valeur $r = 2R$ et le potentiel V_s du point 18 est alors $V_s = \frac{V}{4} = U.2^6$. Si l'on suppose, enfin, que c'est le commutateur
- 25 de rang p , à partir de la droite, qui est activé, en appliquant le théorème de Thévenin (comme précédemment) et un raisonnement par récurrence, on montre que la tension de sortie V_s a pour valeur $\frac{V}{2^p}$; en effet, si le potentiel du point 18 est supposé valoir $\frac{V}{2^{p-1}}$ en l'absence de la résistance 29, il a alors pour
- 30 valeur $\frac{V}{2^p}$ en présence de cette résistance.

- Un mode de réalisation intéressant de chacun des commutateurs de référence $22_1, \dots, 22_m$ est représenté sur la figure 4. Le commutateur 22 comprend un transistor 31 de commutation du type NPN dont l'émetteur 32 est relié à la masse et la base 33 à une
- 35 entrée 17 (17_1 ou 17_2 ou ... 17_m) du réseau linéaire 16. Le collecteur 34¹ est² connecté à la source délivrant une tension V par l'intermédiaire d'une diode 35 dont la cathode est reliée à cette source V ; ce collecteur 34 est également relié, d'une part, à travers une résistance 36 à une source qui délivre une
- 40 tension $V + U$ (V est une tension positive dans l'exemple) et,

d'autre part, à une résistance de valeur $2R$ qui constitue une branche du réseau 16 du type $R - 2R$.

5 Lorsque aucune tension n'apparaît à l'entrée 17, le transistor 31 est bloqué et son collecteur 34 prend le potentiel V ; en effet la diode 35 est polarisée dans le sens passant car son anode est reliée à une source de potentiel $V + U$ supérieur au potentiel V imposé à sa cathode, et la résistance directe de cette diode 35 est négligeable vis-à-vis de la valeur de la résistance 36.

10 Lorsque une tension positive apparaît à l'entrée 17, le transistor 31 est saturé et le potentiel de son collecteur est celui de la masse ; dans ce cas la diode 35 est polarisée dans le sens bloquant car son anode est reliée à la masse à travers la résistance (négligeable) collecteur-émetteur du transistor
15 saturé et sa cathode est connectée à une source de tension positive.

On notera qu'avec ce mode de réalisation du commutateur 22, la résistance de valeur $2R$ du réseau 16 est connectée à la source de tension V lorsqu'aucun signal n'apparaît à l'entrée
20 17. Il faudra donc soit réaliser le transcodeur 11 de manière telle que, pour un nombre donné à son entrée, toutes ses sorties, sauf une, soient alimentées, soit prévoir un inverseur ou porte NON (non représenté sur les figures 1 à 4) après chaque sortie 13 du transcodeur 11 ou avant chaque entrée 17 afin que ce soit
25 un "1" qui permette de connecter la borne libre (en bas sur la figure 3) de la résistance de valeur $2R$ à la source V .

Le convertisseur qui a été décrit avec références aux figures 1 et 2 permet de convertir un signal numérique binaire en un signal analogique qui progresse par bonds de 6 décibels
30 lorsque ledit signal d'entrée progresse par bonds de 1 unité. En effet, si on exprime le rapport A de la tension de sortie V_s à la tension U (en décibels) lorsque c'est la borne libre de la résistance de valeur $2R$ et de rang i (à partir de la gauche) du réseau 16 qui est au potentiel V , on obtient :

35
$$A \text{ (dB)} = 20 \log_{10} \frac{V_s}{U} = 20 \log_{10} \frac{U \cdot 2^{i-1}}{U}$$

$$A \text{ (dB)} = (i-1) 20 \log_{10} 2 \approx 6 (i-1)$$

On va maintenant décrire, en relation avec les figures 5 à 10a, un mode de réalisation du convertisseur selon l'invention dans lequel, pour une valeur donnée du signal numérique

d'entrée, le signal analogique de sortie peut prendre des valeurs qui diffèrent par des sous-multiples de 6 décibels. Un tel résultat est rendu possible grâce au fait que dans le réseau R-2R d'un tel convertisseur on peut mettre au potentiel V la borne libre de la résistance de valeur 2R de rang i (en partant de la gauche sur la figure 3) et les h résistances d'ordre inférieur, à savoir i - 1, i - 2, ..., i - h ; ceci contrairement au convertisseur décrit précédemment pour lequel une et une seule résistance de valeur 2R du réseau 16 pouvait avoir sa borne libre mise au potentiel V.

Ainsi, si l'entrée de rang i et les h entrées de rang inférieur du réseau 16 sont alimentées (étant entendu qu'une entrée "alimentée" est une entrée pour laquelle la borne libre de la résistance de valeur 2R correspondante est portée au potentiel V), la tension de sortie V_s du réseau 16 peut s'écrire, d'après le théorème dit de superposition des états d'équilibre :

$$V_s = U \cdot x_i \cdot 2^{i-1} + U \cdot x_{i-1} \cdot 2^{i-2} + \dots + U \cdot x_{i-h} \cdot 2^{i-h-1}$$

Les paramètres notés x_K (x_i, \dots, x_{i-h}) dans cette formule prennent la valeur 1 si l'entrée de rang K du réseau 16 est alimentée et la valeur 0 si cette entrée n'est pas alimentée. Les entrées qui ont un rang qui n'est pas compris entre i et i - h ne sont pas alimentées.

La formule ci-dessus peut encore s'écrire :

$$V_s = U \cdot 2^{i-1} \left[x_i + \frac{x_{i-1}}{2} + \frac{x_{i-2}}{2^2} + \dots + \frac{x_{i-h}}{2^h} \right]$$

$$\text{posons } y = \frac{x_{i-1}}{2} + \frac{x_{i-2}}{2^2} + \dots + \frac{x_{i-h}}{2^h}$$

si $x_i = 1$, on a alors :

$$V_s = U \cdot 2^{i-1} (1 + y) .$$

Exprimons, en décibels, le rapport A_o de la tension V_s à la tension U :

$$A_o \text{ (dB)} = 20 \log_{10} \frac{V_s}{U}$$

$$A_o \text{ (dB)} = 20 \log_{10} 2^{i-1} + 20 \log_{10} (1 + y)$$

la quantité y est comprise entre 0 et 1 ($0 \leq y < 1$), pour $y = 0$

$$20 \log_{10} (1 + y) = 0 \text{ et, pour } y = 1, 20 \log_{10} (1 + y) = 20 \log_{10} 2 \approx 6.$$

Si on suppose que l'expression $20 \log_{10} (1 + y)$ varie liné-

airement en fonction de y pour y compris entre 0 et 1, on peut donc écrire :

$$20 \log_{10} (1 + y) \approx 6 y,$$

en reportant cette valeur dans la dernière formule concernant A_0 :

$$5 \quad A_0 \text{ (dB)} \approx 6 (i-1) + 6 \left[\frac{x_{i-1}}{2} + \frac{x_{i-2}}{2^2} + \dots + \frac{x_{i-h}}{2^h} \right]$$

$$A_0 \text{ (dB)} \approx 6 (i-1) + x_{i-1} \cdot 3 + x_{i-2} \cdot 1,5 + \dots + x_{i-h} \cdot \frac{6}{2^h}.$$

A_0 représente la tension de sortie du convertisseur lorsque l'entrée de rang i et, éventuellement, les h entrées précédentes sont alimentées. On montre que la susdite approximation faite
10 sur la quantité $20 \log_{10} (1 + y)$ apporte au plus une erreur de l'ordre de 6% pour la valeur de cette quantité.

On voit, d'après l'expression de A_0 donnée ci-dessus, que, selon les valeurs des chiffres binaires x_{i-1}, \dots, x_{i-h} on pourra, pour un signal numérique d'entrée donné, changer la valeur du
15 signal analogique de sortie de 3 dB, 1,5 dB, ... $\frac{6}{2^h}$ dB ou d'une combinaison de ces chiffres.

Examinons tous les autres cas (au nombre de h) pour lesquels cette entrée de rang i peut être alimentée. Le premier cas est celui où $x_{i+1} = 1$ et les h entrées de rang inférieur peuvent
20 être alimentées ; on a alors pour la tension de sortie

$$A_1 \text{ (dB)} = 6i + x_i \cdot 3 + x_{i-1} \cdot 1,5 + \dots + x_{i-h+1} \cdot \frac{6}{2^h}.$$

Le second cas est celui où

$x_{i+2} = 1$ et $x_{i+3} + x_{i+4} + \dots + x_m = 0$, avec $m = 2^n$
n étant le nombre d'entrées du transcodeur,

$$25 \quad A_2 \text{ (dB)} = 6 (i+1) + x_{i+1} \cdot 3 + x_i \cdot 1,5 + \dots + x_{i-h+2} \cdot \frac{6}{2^h}.$$

Si, de façon générale,

$x_{i+1} = 1$, avec $x_{i+1+1} + x_{i+1+2} + \dots + x_m = 0$

$$A_1 \text{ (dB)} = 6 (i+1-1) + x_{i+1-1} \cdot 3 + \dots + x_i \cdot \frac{6}{2^1} + \dots + x_{i+1-h} \cdot$$

$$\frac{6}{2^h}.$$

30

Le dernier cas est celui où $x_{i+h} = 1$, avec $x_{i+h+1} + \dots + x_m =$

$$A_h \text{ (dB)} = 6 (i+h-1) + x_{i+h-1} \cdot 3 + \dots + x_i \cdot \frac{6}{2^h}.$$

Revenons au cas général ($x_{i+1} = 1$). Bien entendu i est compris entre 1 et h : $1 \leq i \leq h$ et $i + 1$ est au plus égal à m : $i+1 \leq m$; m a la valeur 2^n , n étant le nombre d'entrées du transcodeur, comme on l'a déjà vu plus haut.

Dans le cas où $x_i = 1$ et si $i = 1$, on voit qu'intervient dans A_0 l'indice $1 - h$ qui est négatif. Le réseau 16 devra donc disposer de $m + 1 + h - 1 = m + h$ entrées. On se rendra compte plus clairement des valeurs des indices à l'aide du diagramme de la figure 6 sur lequel apparaissent sur une ligne les entrées du réseau 16 ; ces entrées sont numérotées de $1 - h$ à m . On a également représenté, sur cette figure 6, les quantités i , l et h dans le cas où $i + 1 - h$ est un nombre négatif.

Pour préciser quelles entrées du réseau 16, qui précèdent une entrée donnée, sont alimentées, on définit des quantités Y_p qui sont des chiffres binaires, c'est-à-dire ne pouvant prendre que la valeur 0 ou 1. $Y_1 = 1$ signifie qu'une entrée donnée et celle qui la précède immédiatement sont alimentées ; $Y_p = 1$ signifie qu'une entrée donnée et celle dont le rang est inférieur du nombre p au rang de cette entrée sont alimentées. Bien entendu, plusieurs des quantités Y_p peuvent avoir simultanément la valeur 1.

Selon une disposition de l'invention, le convertisseur comporte h entrées supplémentaires propres à être alimentées par des signaux représentatifs des quantités Y_p .

Les figures 5 et 7 illustrent un premier mode de réalisation d'un tel convertisseur permettant d'obtenir un signal analogique de sortie qui peut prendre des valeurs qui diffèrent par des sous-multiples de 6 dB, pour un signal numérique d'entrée donné.

Le convertisseur représenté sur la figure 5 comprend un transcodeur-sélecteur 11_a analogue à celui qui a été décrit en relation avec la figure 2. On rappellera que ce transcodeur-sélecteur 11_a dispose de n entrées et $m = 2^n$ sorties ($n = 3$ dans l'exemple), une et une seule de ces sorties $13_1 \dots 13_8$ pouvant être alimentée à la fois. Le convertisseur comprend également un réseau 16 du genre R-2R à $m + h$ entrées qui sont repérées $17_{1-h}, \dots, 17_0, \dots, 17_m$; on prend $h = 4$ à titre d'exemple.

Le convertisseur comporte, en outre, un circuit de commande qui comprend, d'une part, $m = 8$ entrées $38_1, \dots, 38_8$ alimentées

respectivement par les lignes $15_1, \dots, 15_8$ et, d'autre part, $h = 4$ entrées $39_1, \dots, 39_4$ propres à être alimentées par des signaux représentatifs des quantités y_1, \dots, y_4 (ces quantités y_p sont, rappelons-le, des chiffres binaires qui peuvent prendre les valeurs "0" ou "1").

Les douze sorties $40_{-3}, \dots, 40_0, \dots, 40_8$ de ce circuit 37 sont reliées aux entrées $17_{-3}, \dots, 17_0, \dots, 17_8$ du réseau 16 à travers des lignes $41_{-3}, \dots, 41_0, \dots, 41_8$.

Dans ce mode de réalisation du convertisseur, on appelle transcodeur 11 l'ensemble formé par le transcodeur-sélecteur 11_a et le circuit de commande 37.

Le circuit de commande 37 est réalisé à l'aide d'un ensemble de montages 42_i . La figure 7 illustre un de ces montages ; le montage représenté par cette figure comprend une porte OU 43 à 5 entrées $44_1, 44_2, 44_3, 44_4, 44_5$ et quatre portes ET 45, 46, 47, 48 à deux entrées chacune. L'entrée 44_1 de la porte OU 43 est reliée à la sortie 13_i de rang i du transcodeur-sélecteur 11_a ; les quatre autres entrées $44_2, \dots, 44_5$ de cette porte OU sont connectées, respectivement, aux sorties des portes ET 45, 46, 47, 48. La première entrée $45_1, \dots, 48_1$ de chacune de ces portes ET est reliée directement à l'entrée $39_1, \dots, 39_4$ du circuit de commande 37. Chacune des secondes entrées $45_2, \dots, 48_2$ desdites portes ET est connectée, respectivement, à la sortie $13_{i+1}, \dots, 13_{i+4}$ du transcodeur 11. La sortie 49 de la porte OU 43 alimente la sortie 40_i du circuit 37.

Le chiffre binaire x^*_i représenté par le signal qui apparaît à la sortie 49 de la porte OU 43 (donc à la sortie 40_i du circuit 37) peut ainsi s'écrire :

$$x^*_i = x_i + x_{i+1} \cdot y_1 + x_{i+2} \cdot y_2 + x_{i+3} \cdot y_3 + x_{i+4} \cdot y_4 \quad (1)$$

x_1, \dots, x_{i+4} sont, dans ce cas, les chiffres binaires représentés par les signaux apparaissant aux sorties $13_i, \dots, 13_{i+4}$.

Bien entendu si l'indice i est plus grand que $m - h = 8 - 4 = 4$, les montages correspondants comporteront des portes OU ayant moins de cinq entrées (ou moins de 4 entrées reliées à la sortie d'une porte ET) et un nombre de portes ET inférieur à quatre. Par exemple, si $i = 6$ le montage 42_6 correspondant comprendra deux portes ET et donc une porte OU à trois entrées ; pour ce montage 42_6 la première entrée de la porte OU est connectée à la sortie 13_6 , la seconde entrée de la première porte ET 45 est re-

liée à la sortie 13_7 et la seconde entrée de la deuxième porte ET 46 est connectée à la sortie 13_8 du transcodeur-sélecteur 11_a ; les premières entrées des portes ET 45 et 46 sont reliées respectivement aux entrées 39_1 et 39_2 (alimentées par des signaux représentant Y_1 et Y_2).

Les portes OU des quatre montages 42_0 , 42_{-1} , 42_{-2} , 42_{-3} peuvent elles aussi comporter moins de cinq entrées ; elles ne comportent pas d'entrée reliée à une sortie 13_1 du transcodeur-sélecteur. Par exemple le montage 42_{-2} dispose d'une porte OU à deux entrées et de deux portes ET 47, 48 ; la porte ET 47 a sa première entrée reliée à l'entrée 39_3 du circuit 37 et sa seconde entrée reliée à la sortie 13_1 du transcodeur-sélecteur 11_a ; de même la première entrée de la porte ET 48 du montage 42_{-2} est reliée à l'entrée 39_4 du circuit 37 et la seconde entrée de cette porte ET 48 se trouve reliée à la sortie 13_2 du transcodeur-sélecteur 11_a .

En ce qui concerne maintenant le fonctionnement du convertisseur représenté par les figures 5 et 7, on remarquera que les chiffres binaires $Y_1 \dots Y_4$ déterminent bien, pour un signal numérique d'entrée donné, celles des quatre entrées du réseau 16 —précédant l'entrée alimentée déterminée par ledit signal numérique d'entrée— qui sont alimentées et celles qui ne le sont pas. Ceci sera mieux compris à l'aide de l'exemple ci-dessous :

Supposons que le signal numérique d'entrée soit tel que la sortie 13_3 du transcodeur-sélecteur 11_a soit alimentée, c'est-à-dire $x_3 = 1$, tous les autres x_p étant nuls. Supposons en outre que l'on ait : $Y_1 = 1$, $Y_2 = 0$, $Y_3 = 1$, $Y_4 = 1$. La formule (1) permet alors de déterminer les entrées du réseau 16 qui sont alimentées, en effet, en tenant compte du fait que, parmi les x_p , seul x_3 n'est pas nul :

$$\begin{array}{llll} x^*_3 & = & x_3 & = 1 \\ x^*_2 & = & x_3 \cdot Y_1 & = 1 \\ x^*_1 & = & x_3 \cdot Y_2 & = 0 \\ x^*_0 & = & x_3 \cdot Y_3 & = 1 \\ x^*_{-1} & = & x_3 \cdot Y_4 & = 1 \end{array}$$

Les entrées 17_3 , 17_2 , 17_0 et 17_{-1} sont donc alimentées.

La tension de sortie A_0 (en décibels) du réseau 16 est donc :

$$A_0 \text{ (dB)} = 6(3-1) + 3 + 0 + 0,75 + 0,375$$

ou
$$A_0 \text{ (dB)} = 6(3-1) + 3 \cdot Y_1 + 0 \cdot Y_2 + 0,75 \cdot Y_3 + 0,375 \cdot Y_4$$

Si le premier terme, indépendant des Y_p , ne change pas, on voit donc que l'on peut, en modifiant les Y_p , modifier le signal de sortie du convertisseur. En d'autres termes, l'échelle du signal de sortie peut être modifiée de combinaisons de sous-multiples de 6 décibels.

Les figures 8 et 9 illustrent un autre mode de réalisation d'un convertisseur selon l'invention dont le signal de sortie analogique peut prendre des valeurs qui diffèrent par des sous-multiples de 6 décibels.

Dans ce mode de réalisation, le transcodeur-sélecteur et le circuit de commande forment un seul organe transcodeur 11.

En d'autres termes l'organe 11 (figure 8) transcodeur comporte $n = 3$ entrées pour le nombre à coder en analogique, $h = 4$ entrées pour les quantités Y_p et $m + h = 12$ sorties qui attaqueront directement le réseau $R - 2R$. L'organe 11 se compose de $h + 1 = 5$ transcodeurs-sélecteurs $51_1, 51_2, 51_3, 51_4, 51_5$ à quatre entrées chacun $52_1, 53_1, 54_1$ et 55_1 (l'indice 1..... 5 des entrées correspond à l'indice du transcodeur-sélecteur) ; les trois entrées $52_1, 53_1, 54_1$ reçoivent le signal numérique d'entrée qui représente le nombre binaire $X_3 X_2 X_1$ d'entrée ; le signal représentatif du chiffre binaire X_1 est appliqué sur chacune des cinq entrées 52 , le signal représentatif du chiffre X_2 est appliqué sur chacune des entrées 53 et le signal représentatif du chiffre X_3 est appliqué sur chacune des entrées 54 . L'entrée 55_1 du transcodeur-sélecteur 51_1 reçoit un signal numérique 0, tandis que les entrées $55_2, 55_3, 55_4$ et 55_5 reçoivent des signaux qui représentent, respectivement, $\overline{Y_1}, \overline{Y_2}, \overline{Y_3}$ et $\overline{Y_4}$ ($\overline{0} = 1$ et $\overline{1} = 0$).

Chaque transcodeur-sélecteur 51 dispose de huit sorties référencées 56 à 63 et qui débitent des signaux numériques de sortie répondant, en fonction des signaux d'entrées, au tableau de vérité (2) ci-dessous :

Tableau (2)

Entrée				Sortie							
52	53	54	55	56	57	58	59	60	61	62	63
0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	0	1	1	1	1	1	1
0	1	0	0	1	1	0	1	1	1	1	1
1	1	0	0	1	1	1	0	1	1	1	1
0	0	1	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	0	1	1
0	1	1	0	1	1	1	1	1	1	0	1
1	1	1	0	1	1	1	1	1	1	1	0
-	-	-	1	1	1	1	1	1	1	1	1

On voit, d'après ce tableau, qu'en réponse à un signal numé-
 15 rique $X_3 X_2 X_1$ d'entrée et à un "0" sur l'entrée 55 toutes les
 sorties délivrent un "1", sauf une seule d'entre elles qui
 délivre un "0".

Les transcodeurs-sélecteurs 51 peuvent être réalisés de
 toutes façon connues ; on peut, par exemple, utiliser le circuit
 20 de référence SN 74145 fabriqué par la Société Texas Instruments
 ou le circuit intégré appelé SCALER 8230 fabriqué par la Société
 Signetics.

L'ensemble des sorties des transcodeurs-sélecteurs 51 débite
 dans des inverseurs 64, chacun de ces inverseurs alimentant une
 25 ligne donnée. Ainsi, pour un "0" sur l'entrée 55 on obtient un
 "1" sur une seule desdites lignes après chaque transcodeur-
 sélecteur et un "0" sur toutes les autres lignes. Ces lignes
 alimentent, grâce à des connexions convenables qui seront décrites
 ci-dessous en relation avec les figures 10 et 10a, des portes
 30 NON-OU (représentées en partie sur la figure 8) dont les sorties
 constituent les sorties de l'organe 11. Ces sorties, comme on l'a
 déjà vu, sont au nombre de $m + h = 2^3 + 4 = 12$; elles sont référé-
 rencées 65... 76 et délivrent des signaux qui représentent res-
 pectivement les quantités $\overline{x^*_3} \dots \overline{x^*_6} \dots \overline{x^*_8}$. Ces sorties
 35 65... 76 alimentent, bien entendu, le réseau R-2R correspondant.
 On remarquera que le fait d'obtenir les quantités x^*_1 inversées
 permet d'utiliser des commutateurs 22 (pour le réseau R-2R) qui
 sont du type représenté par la figure 4.

En outre, on utilisera avantageusement des portes NON-OU du

genre appelé "OU câblé", ce type de porte OU étant facilement réalisable en circuit intégré. La figure 9 représente une telle porte NON-OU à deux entrées 77-78 et une sortie 79. Une telle porte NON-OU se compose de deux transistors NPN dont les émetteurs sont à la masse. L'entrée 77 est reliée à la base du transistor 80, tandis que l'entrée 78 est reliée à la base du transistor 81. Les collecteurs de ces deux transistors sont tous deux reliés à la sortie 79, laquelle est reliée à la borne positive 82 d'une source de tension (non représentée) par l'intermédiaire d'une résistance 83. Les transistors 80 et 81 sont saturés lorsqu'un signal positif apparaît sur leur base ; en d'autres termes, si un "1" est appliqué sur l'une et/ou l'autre des entrées 77 et 78, le potentiel du point 79 est alors celui de la masse, c'est-à-dire qu'un "0" apparaît en sortie. Si les deux entrées 77 et 78 reçoivent simultanément des "0", les deux transistors sont bloqués et le potentiel du point 79 est celui du point 82, c'est-à-dire qu'un "1" est produit à la sortie 79. On a donc bien affaire à une porte NON-OU pour laquelle la sortie est "1" si, et seulement si, toutes les entrées sont "0".

Pour en revenir à la figure 8, on voit que seules la borne 82 et les résistances 83 ont été représentées.

Les figures 10 et 10a illustrent de façon détaillée une variante de l'organe transcodeur 11. Sur ces figures on a représenté séparément les éléments des transcodeurs-sélecteurs 51 et on les a regroupés pour mieux illustrer les connexions de leurs sorties aux entrées des portes NON-OU. On notera que dans cette variante il y a les mêmes portes NON-OU que dans la réalisation représentée par les figures 8 et 9 et que, de même, les connexions des sorties des éléments des transcodeurs-sélecteurs 51 aux entrées des portes NON-OU sont identiques aux connexions des sorties des inverseurs 64 aux entrées des portes NON-OU de la réalisation illustrée par la figure 8. On a donc donné les mêmes références aux parties des figures 10 et 10a qui correspondent sans ambiguïté à celles de la figure 8.

La figure 10 montre les portes NON-OU dont les sorties 65 à 70 délivrent les signaux représentatifs, respectivement, des quantités ou chiffres binaires $\overline{x^*_3}$ à $\overline{x^*_2}$.

La figure 10a montre les portes NON-OU dont les sorties 71 à 76 délivrent les signaux représentatifs, respectivement, des quantités $\overline{x^*_3}$ à $\overline{x^*_8}$.

Dans le mode de réalisation représenté par ces figures 10 et 10a, chacun des transcodeurs-sélecteurs 51_2 à 51_5 est tel que si un "1" est appliqué à une entrée 55 et un nombre donné $X_3 X_2 X_1$ aux trois autres entrées 52 à 54, un "1" apparaîtra sur une seule sortie, les sept autres sorties restant au niveau "0" au contraire des transcodeurs-sélecteurs 51 de la figure 8 pour lesquels une seule sortie est au niveau "0" lorsqu'un "0" est appliqué sur une entrée 55.

Le transcodeur-sélecteur 51_1 est identique au transcodeur-sélecteur 11 représenté sur la figure 2. Sur les figures 10 et 10a on a représenté les huit portes ET 84_1 à 91_1 à trois entrées de ce transcodeur-sélecteur 51_1 , mais les inverseurs n'ont pas été représentés sur ces figures. Cependant le schéma de branchement des inverseurs pourra être aisément reconstitué par l'homme de l'art car on a indiqué les chiffres binaires X_i ou $\overline{X_i}$ appliqués sur chacune des entrées des portes ET ; par exemple sur la figure 10 on a indiqué, aux entrées de la porte 85_1 , les chiffres X_1 , $\overline{X_2}$ et $\overline{X_3}$. En d'autres termes, le signal représentant X_1 est appliqué directement à l'entrée marquée X_1 de la porte 85_1 , tandis que les signaux qui représentent les chiffres X_2 et X_3 sont appliqués aux entrées notées $\overline{X_2}$ et $\overline{X_3}$ de la porte ET 85_1 par l'intermédiaire d'inverseurs.

Les quatre autres transcodeurs-sélecteurs 51_2 à 51_5 se composent chacun de huit portes ET 84_i à 91_i (l'indice i correspond à l'indice du transcodeur-sélecteur) à quatre entrées chacune. On a également indiqué aux entrées de chacune de ces portes les chiffres binaires X_i , $\overline{X_i}$ ou Y_i qui leurs sont appliqués. Par exemple, les chiffres X_1 , $\overline{X_2}$, X_3 et Y_2 sont appliqués aux entrées de la porte 89_3 . Bien entendu, de même que pour la figure 8, Y_1 est appliqué au transcodeur-sélecteur 51_2 ,...et Y_4 est appliqué au transcodeur-sélecteur 51_5 .

Il est clair qu'un "1" n'apparaîtra à la sortie d'une porte ET dont les entrées ont été notées, par exemple, X_1 , $\overline{X_j}$, X_k , Y_l que si $X_1 = 1$, $X_j = 0$, $X_k = 1$, $Y_l = 1$.

On a déjà vu que les sorties 65 à 76 délivrent respectivement les signaux $\overline{x^*_{-3}}$ à $\overline{x^*_8}$; de ce fait pour plus de clarté, les portes NON-OU dont les sorties sont les sorties 65 à 76 de l'organe 50 ont été référencées 92_{-3} à 92_8 .

Le schéma de branchement des sorties des portes ET aux entrées des portes NON-OU 92 sera aisément compréhensible si on

rappelle la formule

$$x^*_1 = x_1 + x_{i+1} \cdot Y_1 + \dots + x_{i+4} \cdot Y_4$$

les x_i étant les nombres $X_3 X_2 X_1$ qui sont appliqués à l'entrée de l'organe 11. Si l'indice i ou $i + K$ est négatif ou nul, on

5 posera x_i (ou x_{i+K}) = 0.

Ainsi, premier exemple:

$x^*_{-3} = x_1 \cdot Y_4$; Y_4 est appliqué à l'entrée du transcodeur-sélecteur 51₅ et x_1 représente un "1" à la première sortie de ce transcodeur-sélecteur, c'est-à-dire le nombre (binaire) 000

10 à son entrée. En d'autres termes, la porte NON-OU 92₋₃ n'a qu'une entrée reliée à la sortie de la porte ET 84₅ du transcodeur-sélecteur 51₅ dont les entrées sont $\overline{X_1}$, $\overline{X_2}$, $\overline{X_3}$ et Y_4 .

Deuxième exemple

$$x^*_2 = x_2 + x_3 \cdot Y_1 + x_4 \cdot Y_2 + x_5 \cdot Y_3 + x_6 \cdot Y_4$$

15 Cette formule s'interprète comme suit : la porte NON-OU 92₂ a cinq entrées ; la première de ces entrées est connectée à la deuxième sortie du transcodeur-sélecteur 51₁, c'est-à-dire à la sortie de la porte ET 85₁ dont les entrées sont X_1 , $\overline{X_2}$, $\overline{X_3}$ (il n'apparaît un "1" à la sortie de cette porte que si le chiffre

20 001 est appliqué à l'entrée du transcodeur-sélecteur 51₁) ; la seconde des entrées de la porte 92₂ est connectée à la troisième sortie du transcodeur-sélecteur 51₂, c'est-à-dire à la sortie de la porte ET 86₂ ; et ainsi de suite jusqu'à la cinquième entrée de la porte 92₂.

25 La figure 11 illustre la loi de variation de la tension V_s (en ordonnées) qui apparaît à la sortie du convertisseur selon l'invention en fonction du signal numérique $n = X_3 X_2 X_1$ (en abscisses) appliqué à son entrée.

En abscisses, $n = 0$ correspond au signal numérique d'entrée

30 $X_3 X_2 X_1 = 000$, $n = 1$ correspond à $X_3 X_2 X_1 = 001$, etc.

La loi de variation de V_s en fonction de n est de la forme $V_s = U \cdot 2^n$, comme on l'a déjà vu en relation avec le tableau (1).

Pour certaines applications du convertisseur selon l'invention, il peut être utile que la loi de variation de la tension

35 de sortie V_s en fonction de n soit du genre de celle représentée par la figure 12. Sur le diagramme de la figure 12 on a porté (comme pour la figure 11) la tension V_s désirée en ordonnées et le nombre n en abscisses. La loi de variation de V_s en fonction de n peut s'écrire :

$$V's = U.2^n - U = V_s - U .$$

On voit ainsi que pour obtenir une telle loi de variation de la tension de sortie $V's$ en fonction du signal numérique d'entrée, il suffit d'utiliser un convertisseur selon l'invention qui délivre une tension V_s et de retrancher la tension U . Ceci est illustré par la figure 13 sur laquelle on a représenté schématiquement le convertisseur selon l'invention avec son transcodeur 11 et son réseau 16.

La ligne 19 de sortie du convertisseur est connectée à la première entrée d'un sommateur 93 à deux entrées. La seconde entrée de ce sommateur est reliée à une source délivrant une tension de valeur $-U$. La sortie de ce sommateur délivre la tension $V's$.

Le sommateur 93 peut être réalisé de toute façon connue, par exemple à l'aide de résistances et d'un amplificateur opérationnel.

La loi de variation de la tension $V's$ en fonction du signal numérique d'entrée illustrée par la courbe de la figure 12 est appelée "loi μ " et est plus particulièrement employée dans les ensembles de télécommunications du type PCM. Dans de tels ensembles prévus pour transmettre des signaux analogiques, on détermine, à des instants séparés par des intervalles de temps égaux, la valeur du signal à transmettre, cette valeur est ensuite codée sous forme numérique ; ce signal numérique, qui est transmis à distance, est décodé à la réception, c'est-à-dire transformé de nouveau sous forme analogique.

Pour cette même application de décodage des informations analogiques transmises à distance sous forme numérique il est quelquefois nécessaire que la loi de variation de la tension analogique de sortie, en fonction du signal numérique d'entrée, ait la forme illustrée par le graphique de la figure 14. Cette loi est appelée "loi A".

Comme pour la figure 12 on a porté, en abscisses, le signal numérique d'entrée n et, en ordonnées, le signal analogique V_s de sortie désiré.

Cette "loi A" peut s'exprimer comme suit :

pour $n = 0$ $V_s = 0$
 et pour $n \geq 1$ $V_s = U.2^{n-1}$

La figure 15 illustre un mode de réalisation d'un convertisseur permettant d'obtenir un tel résultat. Ce convertisseur comporte un circuit correcteur 94 dont les entrées 95_1 , 95_2

95₃ reçoivent le signal numérique d'entrée $X_3 X_2 X_1 = n$; il comprend quatre sorties 96₁, 96₂, 96₃, 96₄ qui débitent un signal répondant au tableau de vérité (3) ci-après :

Tableau (3)

5

95 ₁	95 ₂	95 ₃	96 ₁	96 ₂	96 ₃	96 ₄
0	0	0	1	0	0	0
1	0	0	0	0	0	0
0	1	0	0	1	0	0
1	1	0	0	0	1	0
0	0	1	0	1	1	0
1	0	1	0	0	0	1
0	1	1	0	1	0	1
1	1	1	0	0	1	1

10

15

Les sorties 96₁ 96₄ alimentent des lignes 97₁ 97₄ qui aboutissent aux entrées correspondantes 98₁ à 98₄ de l'organe transcodeur 11. Les entrées 98₂, 98₃ et 98₄ de cet organe correspondent aux entrées prévues pour recevoir les signaux binaires X_1 , X_2 et X_3 dans le convertisseur décrit en relation avec la figure 8 par exemple.

20

On voit d'après le tableau (3) que le circuit correcteur 94 permet de transformer le signal numérique n en un signal numérique $n - 1$ débité sur les lignes 97₂, 97₃, 97₄ sauf, bien entendu, pour $n = 0$; c'est le signal qui apparaît à la sortie 96₁ et est appliqué à l'entrée 98₁ qui permet d'obtenir la sortie $V_s = 0$ pour $n = 0$.

25

Dans le cas où l'organe transcodeur 11 est du genre de celui décrit en relation avec la figure 8 et comporte donc un ensemble de transcodeurs-sélecteurs 51₁ à 51₅ répondant au tableau de vérité (2), la susdite entrée 98₁ est l'entrée 55₁ du transcodeur-sélecteur 51₁.

30

On va décrire, maintenant, en relation avec les figures 16, 17 et 18, une autre variante du convertisseur selon l'invention. Dans cette variante le convertisseur permet la transmission du signe (plus ou moins) du signal numérique d'entrée, le signal analogique V_s obtenu à la sortie de ce convertisseur étant de polarité positive si le signe est + et de polarité négative si

35

le signe est - .

Le signe du signal numérique appliqué à l'entrée du convertisseur se présente, bien entendu, sous la forme d'un signal binaire "0" ou "1". On posera, par convention, que "1" correspond

5 au signe plus et "0" au signe moins.

Pour obtenir le susdit résultat de transmission du signe, on fait tout d'abord comporter au réseau 16 (figure 16) composé de cellules R-2R une cellule R-2R supplémentaire ; cette cellule supplémentaire est connectée de façon telle qu'une borne de la

10 résistance R soit branchée à la sortie 18 du réseau 16. Cette cellule R-2R supplémentaire comporte, bien entendu, un commutateur 22_{m+1} dont la fonction est de mettre la borne libre de la résistance 2R soit à la masse, soit au potentiel V. La borne commune 100 aux résistances R et 2R de la cellule supplémentaire

15 est connectée à une première entrée d'un additionneur 101 ; la seconde entrée de cet additionneur est connectée à une source délivrant une tension de valeur $-\frac{V}{2}$. A la sortie 102 dudit additionneur on obtient le signal analogique de sortie V's ; la polarité de ce signal V's est déterminée par la position du

20 commutateur 22_{m+1} . En effet, supposons que le commutateur 22_{m+1} soit dans la position qui met à la masse la borne libre de la résistance de valeur 2R, on peut considérer qu'entre la sortie 18 du réseau 16 et la masse on a un générateur de tension V_s en série avec une résistance de valeur R (c'est ce qui est représenté sur la figure 16) ; il apparaîtra donc la tension $\frac{V_s}{2}$ à la

25 borne 100. La tension V's qui apparaît au point 102 a donc pour valeur, dans ce cas :

$$V's = \frac{V_s}{2} - \frac{V}{2} ;$$

or on sait déjà que la tension V_s a une amplitude inférieure à

30 celle de la tension V. Le signal V's a donc une polarité négative.

Supposons maintenant que le commutateur 22_{m+1} soit dans la position (représentée sur la figure 16) dans laquelle il relie la borne libre de la résistance de valeur 2R de la cellule supplémentaire à la source de tension V ; dans ce cas la tension

35 $\frac{V_s + V}{2}$ apparaît à la borne 100 et le potentiel du point 102 est donc $V's = \frac{V_s + V}{2} - \frac{V}{2} = \frac{V_s}{2}$. La polarité du signal de sortie V's est donc positive.

Si on note S le chiffre binaire qui représente le signe du signal numérique d'entrée, S = 0 correspond au signe moins et

S = 1 correspond au signe plus.

On remarquera que dans le cas où S = 1, le signal V's est directement proportionnel à Vs, mais quand S = 0, la relation entre V's et Vs est moins simple ; c'est pourquoi on prévoit des
 5 moyens, qui seront décrits ci-dessous en relation avec la figure 18, qui permettent d'obtenir, pour des valeurs exactement opposées du signal numérique d'entrée, des valeurs exactement opposées du signal analogique V's. Ceci apparaît plus clairement à l'examen
 10 du graphique de la figure 17 ; on a porté sur l'axe des abscisses le signal numérique d'entrée et sur l'axe des ordonnées le signal analogique V's désiré. La courbe 103 illustre la variation de V's en fonction du signal numérique d'entrée pour S = 1, c'est-à-dire pour un signal d'entrée affecté du signe +, et la courbe
 15 104 illustre cette même variation pour S = 0, c'est-à-dire pour un signal d'entrée affecté du signe -. La courbe 104 est symétrique de la courbe 103 par rapport à l'origine 0, ce qui exprime bien la relation V's (-n) = - V's (n), dans laquelle n représente le signal numérique d'entrée.

On montre qu'on aboutit à ce résultat si, pour S = 0, on
 20 attaque l'entrée du réseau 16, c'est-à-dire chaque cellule de ce réseau R - 2R, par le complément à deux du nombre binaire sortant du transcodeur associé. De façon en soi connue, on appelle complément à deux d'un nombre binaire le nombre binaire obtenu en changeant les 1 en 0 et les 0 en 1 et en ajoutant au
 25 nombre ainsi obtenu une unité de plus faible poids ; par exemple le complément à deux du nombre binaire 1011 est 0100 + 1 = 0101. Dans le cas présent on va du plus faible poids au poids le plus fort en partant de la gauche du réseau R-2R 16 (voir figure 3) pour aboutir vers la droite de ce réseau, où se trouve sa sortie.

30 En effet, plaçons-nous dans le cas où une, et une seule des entrées du réseau R-2R, est excitée à la fois, c'est-à-dire que le nombre binaire appliqué à l'entrée de ce réseau est $0.2^0 + 0.2^1 + \dots + 1.2^1 + \dots + 0.2^{m-1}$ le complément à deux de ce nombre est :
 35 $1 + 1.2^0 + \dots + 2^{1-1} + 0.2^1 + 2^{1+1} + \dots + 2^{m-1} = 1 + 2^m - 1 - 2^1 = 2^m - 2^1$.

Si on n'avait pas pris le susdit complément à deux le signal Vs de la sortie 18 aurait été

$$V_s = U.2^1 ;$$

40 le signal obtenu à la sortie 18 avec le complément à deux est :

$$V_s' = U (2^m - 2^1) = U \cdot 2^m - U \cdot 2^1 = V - V_s$$

et à la sortie 102 on obtient donc le signal $V's$:

$$V's = \frac{V_s' - V}{2} = \frac{V - V_s - V}{2} = - \frac{V_s}{2} ;$$

c'est bien le résultat escompté.

5 On a représenté sur la figure 18 la partie du convertisseur selon l'invention, concernée par la transmission du signe.

On voit sur cette figure que la résistance 24 (de valeur 2R) la plus à gauche du réseau 16 a sa borne libre connectée à un commutateur 105 qui permet de porter cette borne soit au
10 potentiel V, soit au potentiel de la masse. Dans le mode de réalisation représenté par la figure 3, par exemple, cette borne est reliée en permanence à la masse. On comprendra aisément que cette disposition permet l'addition d'une unité de plus faible poids.

15 Le convertisseur représenté en partie par la figure 18 comporte en outre une entrée 106 pour l'application du signal S ; cette entrée 106 est reliée, d'une part, à la borne de commande du contacteur 22_{m+1} et, d'autre part, à l'entrée d'un inverseur 107, la sortie de cet inverseur 107 débite dans une ligne 108 qui
20 alimente la borne de commande du contacteur 105 et les premières entrées $111_1 \dots 111_1 \dots 111_m$ de m portes $109_1 \dots 109_1 \dots 109_m$, du type "OU exclusif" à deux entrées. Les secondes entrées $110_1 \dots 110_1 \dots 110_m$ de ces portes $109_1 \dots 109_1 \dots 109_m$ sont alimentées par exemple par les signaux délivrés aux sorties 13_1 ,
25 13_2 du transcodeur 11 (voir figure 2) ou encore, par exemple, par les signaux x_i délivrés par l'organe transcodeur 11 (voir figure 8 par exemple). Les sorties $112_1 \dots 112_1 \dots 112_m$ des portes $109_1 \dots 109_m$ alimentent respectivement les bornes de commande des commutateurs $22_1 \dots 22_m$.

30 Une porte 109 du type "OU exclusif" dispose du tableau de vérité (4) ci-dessous :

Tableau (4)

35	Entrées		Sortie
	110	111	112
	0	0	0
	0	1	1
	1	0	1
	1	1	0

l'entrée 111 de chaque porte 109 est alimentée par le signal \bar{S} ; on a donc le tableau de vérité (5) suivant entre les entrées 110, l'entrée 106 et la sortie 112

Tableau (5)

5	Entrées		Sortie
	110	106	112
	0	1	0
	0	0	1
	1	1	1
10	1	0	0

On voit, d'après ce tableau, que si $S = 0$ le signal binaire qui apparaît à l'entrée 110 est changé en son complément \bar{x} à la sortie 112 ; par contre si $S = 1$, le signal binaire délivré par la sortie 112 est le même que celui qui alimente l'entrée 110.

15 On rappellera que pour réaliser une "loi μ " (voir figure 12) on avait fait comporter un sommateur (93) au convertisseur pour ajouter une tension $-U$. Il est clair que si $S = 0$, c'est-à-dire pour un signal numérique négatif, il faudrait ajouter une tension U . Pour réaliser cette "loi μ " dans le cas d'un convertis-
20 seur transmettant le signe S , il faudra donc prévoir des moyens (non représentés) qui ajoutent au signal V 's la tension $-U$, si $S = 1$, et la tension U si $S = 0$.

On a vu plus haut que la formule

$$A_0 = 6 (1-1) + 3.Y_1 + 1,5.Y_2 \dots$$

25 exprimant que la tension de sortie A_0 du convertisseur (en décibels) est une fonction linéaire des quantités Y_p et des sous-multiples de 6 décibels, est une formule approchée puisqu'elle résulte de l'approximation consistant à poser $20 \log_{10} (1+y) = 6y$. Il peut donc être avantageux, lorsqu'on désire pouvoir effectuer
30 des changements d'échelle du signal de sortie qui soient précis, de faire comporter au convertisseur selon l'invention des moyens de correction tels que le signal de sortie obéisse de façon plus précise à la susdite formule.

Si on considère le mode de réalisation du transcodeur 11
35 représenté par la figure 8, pour réaliser les susdits moyens de correction on fait comporter à ce transcodeur 11 un transcodeur-sélecteur 51 supplémentaire (non représenté) et une mémoire morte

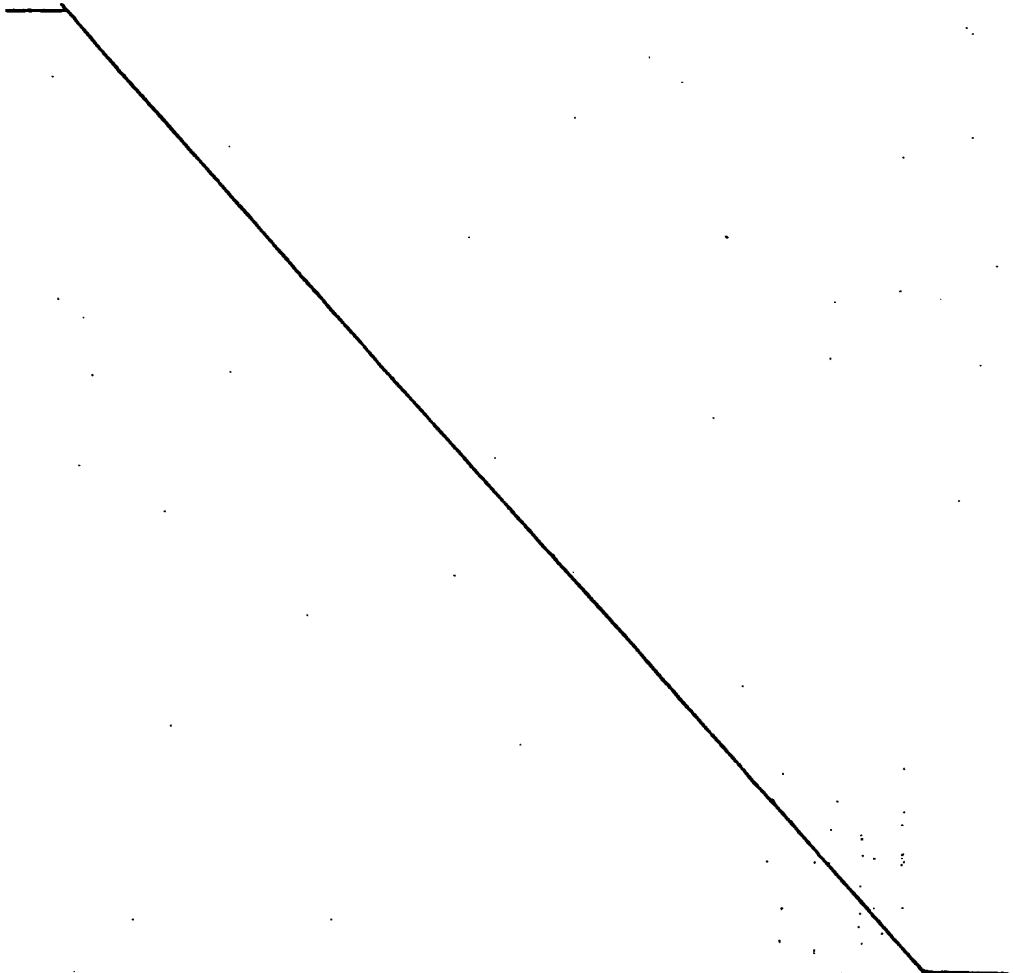
- (non représentée) de 16 mots de 5 bits à quatre entrées et cinq sorties. Les quatre entrées de cette mémoire morte sont propres à recevoir les signaux représentatifs des quantités Y_1 , Y_2 , Y_3 et Y_4 tandis que les cinq sorties de cette mémoire morte délivrent des signaux des chiffres binaires Y'_1 , Y'_2 , Y'_3 , Y'_4 et Y'_5 . Le signal représentant le chiffre Y'_1 est appliqué à la borne 55_2 , Y'_2 est appliqué à l'entrée 55_3 , Y'_3 à l'entrée 55_4 , Y'_4 à l'entrée 55_5 et Y'_5 est appliqué à l'entrée 55 du transcodeur-sélecteur supplémentaire. La relation entre les
- 10 quantités $Y_1 \dots Y_4$ et $Y'_1 \dots Y'_5$ est exprimée par les colonnes extrêmes (entrée et sortie) du tableau (6) ci-dessous. Un ensemble de valeurs des quantités $Y'_1 \dots Y'_5$ représente un desdits mots de 5 bits et un ensemble de valeurs des quantités $Y_1 \dots Y_4$ représente l'adresse d'un de ces mots dans la mémoire morte.
- 

Tableau (6)

Entrée				A (dB)	V _a	V _r	ℓ	C	C _F (%)	Sortie				
Y ₁	Y ₂	Y ₃	Y ₄							Y' ₁	Y' ₂	Y' ₃	Y' ₄	Y' ₅
0	0	0	0	0	1	1	0	0,000	0	0	0	0	0	0
0	0	0	1	0,375	1,048	1,062	0,014	0,000	- 1,4	0	0	0	0	0
0	0	1	0	0,750	1,096	1,124	0,028	0,031	- 0,3	0	0	0	0	1
0	0	1	1	1,125	1,144	1,188	0,044	0,031	+ 1	0	0	1	0	1
0	1	0	0	1,500	1,192	1,250	0,058	0,062	- 0,3	0	0	1	1	0
0	1	0	1	1,875	1,246	1,312	0,066	0,062	+ 0,3	0	1	0	0	0
0	1	1	0	2,250	1,302	1,378	0,074	0,062	+ 0,9	0	1	0	1	0
0	1	1	1	2,625	1,358	1,438	0,080	0,093	- 1	0	1	0	1	1
1	0	0	0	3,000	1,414	1,500	0,086	0,093	- 0,5	0	1	1	0	1
1	0	0	1	3,375	1,480	1,562	0,082	0,062	+ 1,3	1	0	0	0	0
1	0	1	0	3,750	1,548	1,624	0,076	0,062	+ 0,9	1	0	0	1	0
1	0	1	1	4,125	1,616	1,688	0,072	0,062	+ 0,6	1	0	1	0	0
1	1	0	0	4,500	1,684	1,750	0,068	0,062	+ 0,4	1	0	1	1	0
1	1	0	1	4,875	1,762	1,812	0,050	0,031	+ 1,1	1	1	0	0	1
1	1	1	0	5,250	1,842	1,878	0,036	0,031	+ 0,3	1	1	0	1	1
1	1	1	1	5,625	1,922	1,938	0,016	0,000	+ 0,9	1	1	1	1	1

Ce tableau contient, en outre, dans sa partie centrale, les indications suivantes :

A Valeur en décibels du signal de sortie (à un facteur de 6 dB près) résultant de la susdite approximation, c'est-à-dire

$$A = 3.Y_1 + 1,5.Y_2 + 0,75.Y_3 + 0,375.Y_4 ;$$

$$V_a - 20 \log_{10} V_a = A$$

V_a est un nombre sans dimension qui représente l'amplitude du signal de sortie désiré.

V_r est un nombre sans dimension qui représente l'amplitude du signal obtenu à la sortie du convertisseur en l'absence des susdits moyens de correction.

$$\xi = V_r - V_a$$

C est l'amplitude de la correction apportée au signal de sortie V_r grâce aux moyens de correction.

ξ_f est l'erreur finale, en %, et représente la déviation du signal de sortie obtenu par rapport au signal de sortie désiré.

On voit d'après le tableau (6) que les moyens de correction réalisés à l'aide de la susdite mémoire morte réduisent à 1,4% l'erreur maximale du signal obtenu par rapport au signal désiré.

Le convertisseur qui vient d'être décrit convertit un signal numérique apparaissant à son entrée en un signal analogique délivré à sa sortie. La figure 19 illustre un montage dans lequel on utilise ce convertisseur pour obtenir le résultat inverse, c'est-à-dire la transformation d'un signal analogique en un signal numérique.

Ce montage comprend un convertisseur 115 selon l'invention, un comparateur 116 à deux entrées 117 et 118. Ce comparateur est conçu de telle manière qu'il ne délivre un signal à sa sortie 120 que lorsque l'amplitude du signal appliqué à l'entrée 117 dépasse l'amplitude du signal appliqué à l'entrée 118. L'entrée 117 reçoit le signal analogique à coder, tandis que l'entrée 118 est connectée à la sortie 119 du convertisseur 115. La sortie 120 du comparateur est branchée à la première entrée d'une porte ET 121 à deux entrées ; la deuxième entrée 122 de cette porte ET reçoit les impulsions d'un générateur-horloge (non représenté) dont la fréquence est bien déterminée. La sortie de cette porte ET alimente l'entrée 123 d'un compteur d'impulsions 124. Le compteur 124 comporte n sorties $125_1 \dots 125_n$ qui délivrent un signal numérique qui est la représentation binaire du nombre d'impulsions reçues à l'entrée 123. Les sorties $125_1 \dots 125_n$ sont connectées

aux entrées du convertisseur 115. Le compteur 14, enfin, comporte une entrée 126 de remise à zéro.

Le fonctionnement de ce montage illustré par la figure 19 est le suivant : la sortie du compteur 124 est d'abord mise à zéro grâce à une impulsion appliquée sur l'entrée 126 ; le signal analogique à coder en signal numérique est ensuite appliqué sur l'entrée 117 du comparateur 116 ; dans un premier temps, le compteur 124 a compté un nombre réduit d'impulsions (ce nombre est déterminé par la fréquence du générateur-horloge) et le signal analogique délivré par le convertisseur a donc une amplitude réduite par rapport à celle du signal analogique à coder ; on conçoit facilement qu'au bout d'un certain temps l'amplitude du signal délivré par la sortie 119 atteint celle du signal analogique à coder ; à ce moment la sortie 120 n'est plus alimentée et le compteur 124 termine alors son comptage.

Le nombre binaire qui apparaît sur les sorties $125_1 \dots 125_n$ du compteur 124 est la représentation numérique du signal analogique appliqué à l'entrée 117 du comparateur 116.

Il est à noter que ce convertisseur inverse délivre un signal numérique qui représente le logarithme en base deux de la valeur du signal analogique d'entrée. En effet, la fonction inverse de la fonction exponentielle $y = 2^x$ est la fonction logarithme $x = \log_2 Y$.

Le convertisseur objet de l'invention peut être utilisé chaque fois que l'on désire transformer un signal numérique n se présentant sous forme binaire en un signal analogique dont l'amplitude est proportionnelle à 2^n . Ce convertisseur est particulièrement utile pour effectuer rapidement des multiplications de nombres binaires ; ces multiplications sont réalisées à l'aide d'un additionneur qui effectue l'addition des logarithmes en base deux des nombres à multiplier, la somme obtenue étant ensuite transformée par le convertisseur à la sortie duquel on obtient un signal proportionnel au produit désiré des nombres binaires. Le convertisseur selon l'invention peut être utilisé, outre les applications déjà mentionnées, pour réaliser, notamment, les appareils suivants : corrélateurs, analyseurs de spectre, synthétiseurs de paroles ; il peut être également utilisé en téléphonie.

Comme il va de soi et comme il résulte d'ailleurs déjà de ce qui précède, l'invention ne se limite nullement à ceux de

71 36699

28

2155877

ses modes d'applications, non plus qu'à ceux des modes de réalisation de ses diverses parties, ayant été plus spécialement indiqués ; elle en embrasse, au contraire, toutes les variantes.

REVENDICATIONS

- 1 - Convertisseur à entrée numérique et sortie analogique exponentielle, caractérisé par le fait qu'il comporte, d'une part, un transcodeur propre à convertir un signal numérique appliqué sur ses entrées en l'alimentation d'au moins une de ses lignes de sortie, cette ligne ou combinaison de lignes étant unique pour chaque nombre représenté par ledit signal numérique et, d'autre part, un réseau de conversion à éléments passifs dont au moins une partie des entrées est connectée, dans un ordre donné, à au moins une partie des lignes de sortie du transcodeur et qui comprend une sortie propre à délivrer un signal analogique, ledit réseau de conversion et ledit ordre donné étant tels que le signal analogique de sortie est une fonction exponentielle du nombre représenté par le signal numérique d'entrée.
- 2 - Convertisseur selon la revendication 1, caractérisé par le fait que le réseau de conversion est du type R-2R qui comporte essentiellement des résistances de valeur R et de la valeur double 2R, ce réseau comprenant, en outre, des commutateurs à deux positions propres à être commandés par les signaux provenant des lignes de sortie du transcodeur et à mettre à la masse ou à un potentiel V donné la borne libre de chaque résistance de valeur 2R qui est opposée à la borne de jonction entre cette résistance et une résistance de valeur R, ce réseau étant tel que lorsqu'une seule des résistances de valeur 2R a sa borne libre portée au susdit potentiel V donné, le signal analogique de sortie a une amplitude proportionnelle à 2^i , i étant le rang, compté en partant à l'opposé de la borne de sortie dudit réseau, de cette borne libre portée au potentiel donné, le convertisseur étant en outre, caractérisé par le fait que le susdit rang i est représentatif du signal numérique d'entrée.
- 3 - Convertisseur selon la revendication 2, caractérisé par le fait que le transcodeur comprend des entrées en nombre égal à n et 2^n lignes de sortie et que le nombre d'entrées du réseau de conversion est égal à ce nombre 2^n de lignes de sortie du transcodeur, le transcodeur étant tel que les signaux appliqués à chacune des entrées dudit réseau de conversion sont tous identiques, à l'exception d'un seul.
- 4 - Convertisseur selon la revendication 2, caractérisé par le fait qu'il comprend un premier ensemble de n entrées pour le signal numérique à convertir en analogique, un second ensemble de

- h entrées propres à recevoir un second signal numérique et que le réseau de conversion comporte un nombre d'entrées égal à $2^n + h$, le convertisseur étant agencé de façon telle que les signaux appliqués à chacune des entrées du réseau de conversion sont
- 5 5 tous identiques, à l'exception d'au moins un et d'au plus $h + 1$ de ces signaux, ces $h + 1$ signaux qui diffèrent éventuellement tous des autres étant appliqués à des entrées du réseau de conversion dont les rangs i se suivent, le nombre et le rang de ces signaux étant déterminés par ledit second signal numérique.
- 10 5 - Convertisseur selon l'une quelconque des revendications 1 à 4, caractérisé par le fait qu'il comporte une entrée propre à recevoir un signal représentatif du signe du signal numérique d'entrée, et des moyens de polarisation pour conférer une polarité déterminée par ce signe au signal analogique de sortie.
- 15 6 - Convertisseur selon les revendications 2 et 5, caractérisé par le fait que les moyens de polarisation comprennent une résistance de valeur R dont une première borne est connectée à la borne de sortie du réseau de conversion, une résistance de valeur $2R$ dont la première borne est reliée à la seconde borne
- 20 de ladite résistance de valeur R ; un commutateur propre à porter au potentiel de la masse ou au potentiel V donné la seconde borne de la susdite résistance de valeur $2R$, et un additionneur à deux entrées dont la première entrée est reliée à la borne commune aux deux susdites résistances et dont la seconde entrée est portée
- 25 au potentiel $-\frac{V}{2}$, le susdit commutateur étant propre à être commandé par le signal représentatif du signe du signal numérique d'entrée, le signal obtenu à la sortie de l'additionneur étant le signal analogique de sortie dont la polarité est déterminée par le susdit signe.
- 30 7 - Convertisseur selon l'une quelconque des revendications 5 et 6, caractérisé par le fait qu'il comporte des moyens de symétrisation qui permettent d'obtenir des signaux analogiques de sortie de même amplitude et de polarités opposées lorsque des signaux numériques de valeurs égales, mais de signe opposé, appa-
- 35 raissent à l'entrée dudit convertisseur.
- 8 - Convertisseur selon la revendication 7, caractérisé par le fait que les moyens de symétrisation sont propres à transformer en des signaux représentatifs du complément à deux du nombre binaire représenté par les signaux apparaissant aux sorties du
- 40 transcodeur lorsque, et seulement lorsque, le signe du signal

numérique d'entrée est moins, lesdits signaux représentatifs de ce complément à deux étant appliqués aux entrées du réseau de conversion, lesdits moyens de symétrisation comprenant un inverseur dont l'entrée est propre à recevoir le signal représentatif du signe, un ensemble de portes en nombre égal à celui des sorties du transcodeur et du type OU exclusif à deux entrées, et un commutateur propre à porter la borne de la première résistance de valeur $2R$ du réseau de conversion, cette borne étant à la masse en l'absence dudit commutateur, au potentiel de la masse ou au potentiel V donné, ledit commutateur étant commandé par le signal apparaissant à la sortie dudit inverseur, chaque première entrée de chaque porte du type OU exclusif étant connectée à une sortie donnée du transcodeur, les secondes entrées de ces portes OU étant toutes reliées à la sortie de l'inverseur et chaque sortie de chaque porte OU étant reliée à une entrée donnée du réseau de conversion.

9 - Convertisseur selon l'une quelconque des revendications 2 à 8, caractérisé par le fait qu'il comporte des moyens correcteurs qui permettent d'obtenir un signal analogique de sortie dont l'amplitude est, d'une part, nulle lorsque le signal numérique d'entrée est nul et, d'autre part, proportionnelle à 2^{n-1} lorsque le nombre n représenté par le signal numérique d'entrée est différent de zéro.

10 - Convertisseur selon l'une quelconque des revendications 2 à 4, caractérisé par le fait qu'il comporte un second additionneur à deux entrées dont la première entrée est connectée à la sortie du réseau de conversion et dont la seconde entrée est portée à un potentiel $-\frac{V}{2^m}$, m étant le nombre d'entrées de ce réseau de conversion, le signal obtenu à la sortie du susdit second additionneur étant proportionnel à $2^n - 1$, n étant le nombre représenté par le signal numérique d'entrée.

11 - Convertisseur selon la revendication 10 et selon l'une quelconque des revendications 5 à 8, caractérisé par le fait qu'il comporte des moyens inverseurs propres à porter la deuxième entrée du second additionneur, d'une part, au potentiel $-\frac{V}{2^m}$ lorsque le signe est plus et, d'autre part, au potentiel $\frac{V}{2^m}$ lorsque le signe est moins.

12 - Convertisseur à entrée analogique et sortie numérique, caractérisé par le fait qu'il comporte un convertisseur à entrée numérique et sortie analogique, réalisé selon l'une quelconque

des revendications précédentes, un compteur d'impulsions propre à présenter sous forme numérique aux entrées du convertisseur à entrée numérique le nombre d'impulsions qu'il a compté, des moyens de comparaison et un générateur d'impulsions à fréquence déterminée et propre à délivrer des impulsions à l'entrée dudit compteur, lesdits moyens de comparaison étant agencés de façon telle que le générateur d'impulsions délivre ses impulsions au compteur seulement si la valeur du signal qui apparaît à la sortie du convertisseur à entrée numérique ne dépasse pas la valeur du signal analogique appliqué à l'entrée dudit convertisseur à entrée analogique, les sorties du compteur constituant les sorties de ce convertisseur à entrée analogique.

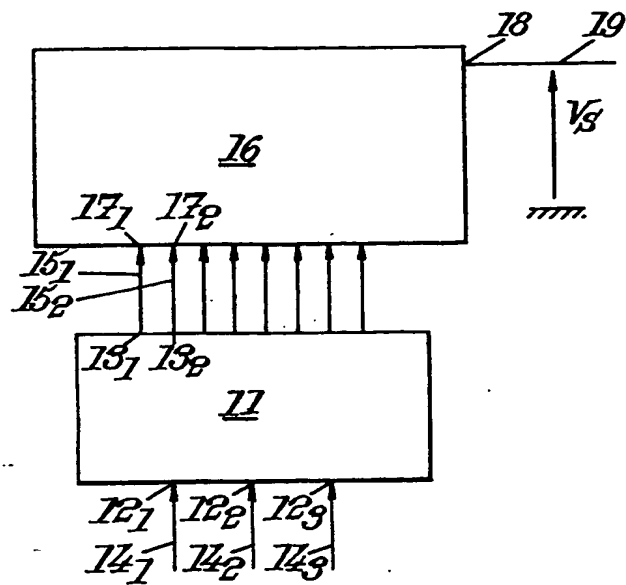
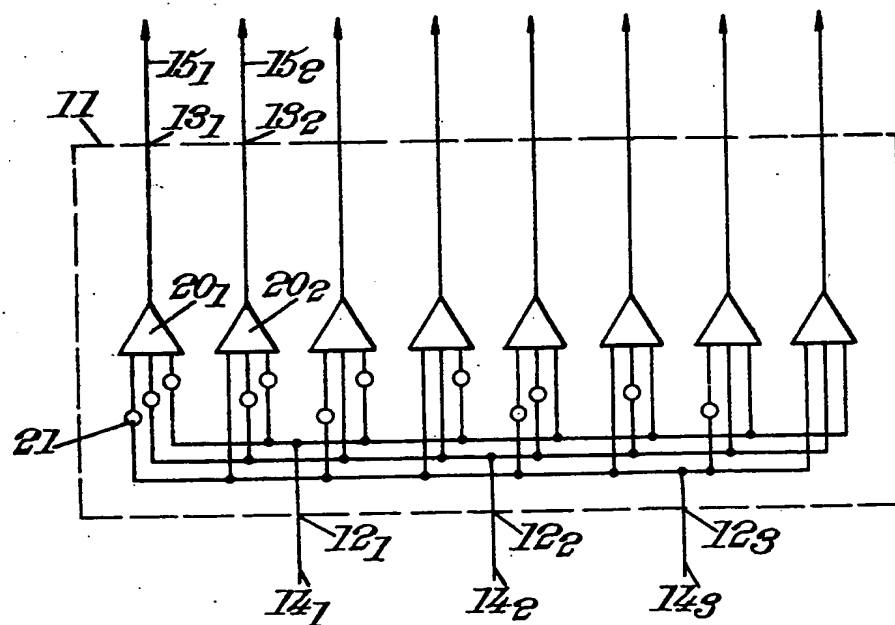
Fig.1.*Fig.2.*

Fig. 3.

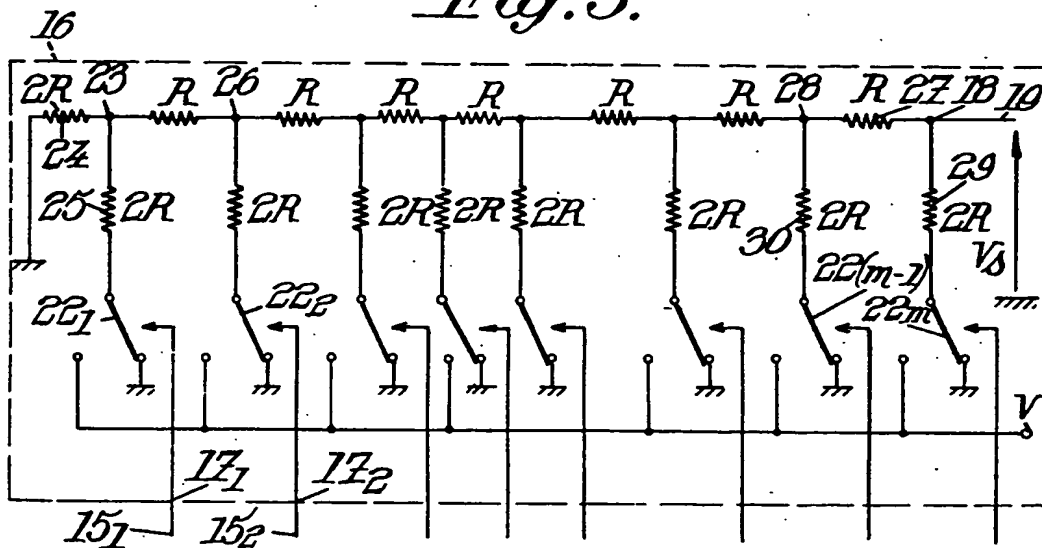


Fig. 4.

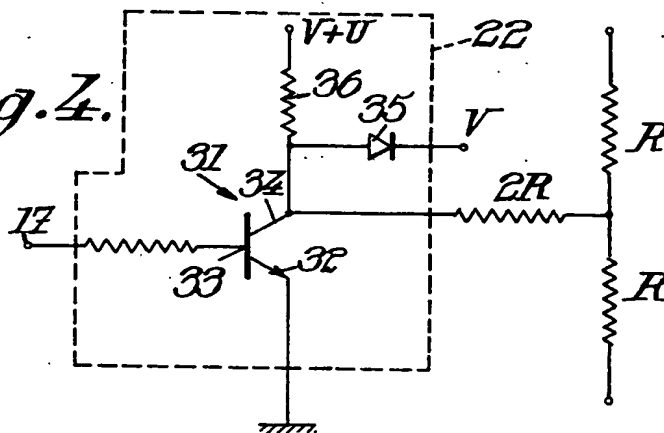
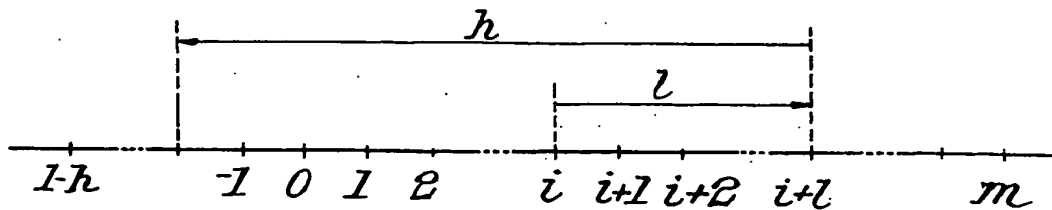


Fig. 6.



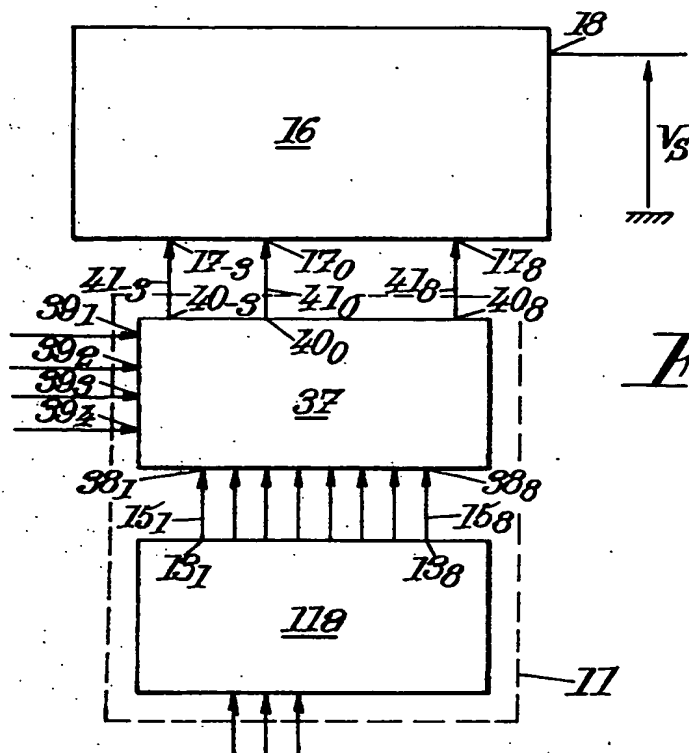


Fig. 5.

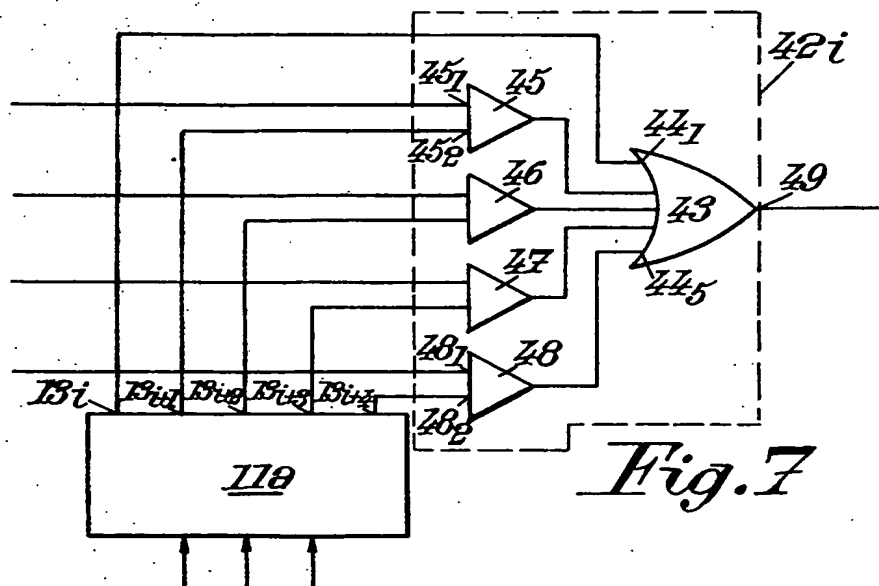
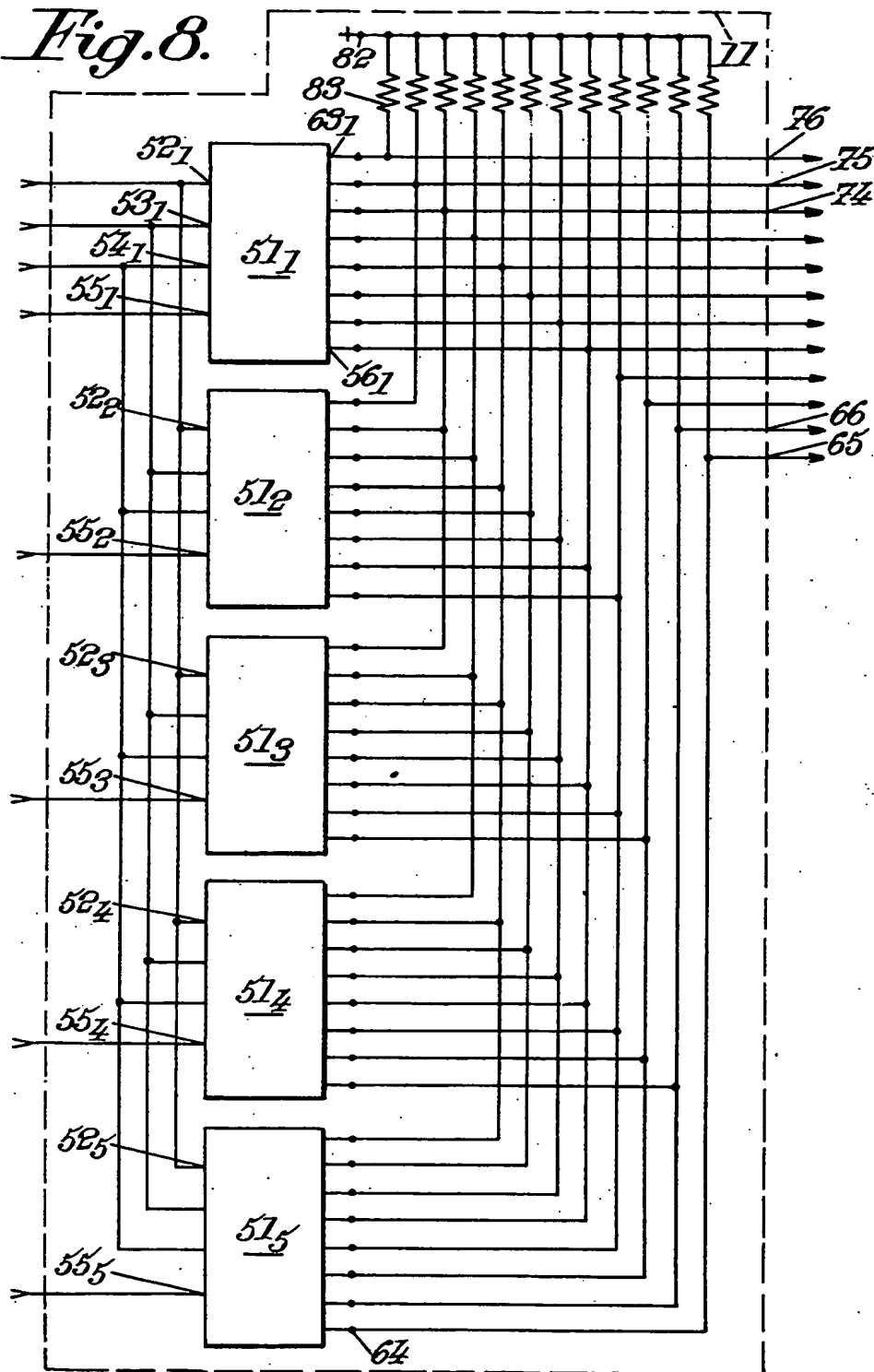


Fig. 7

Fig. 8.

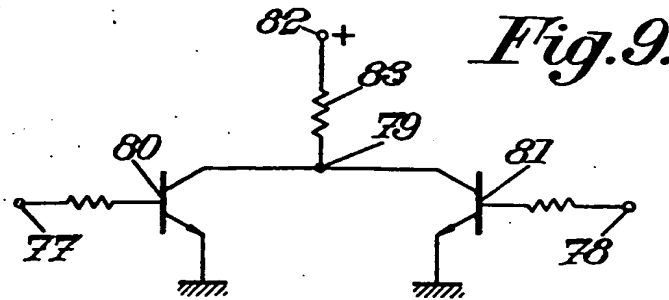
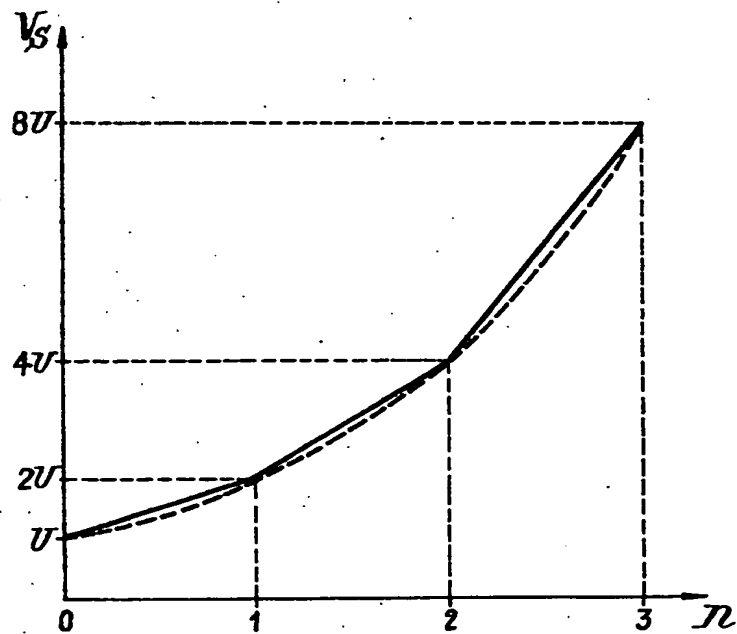
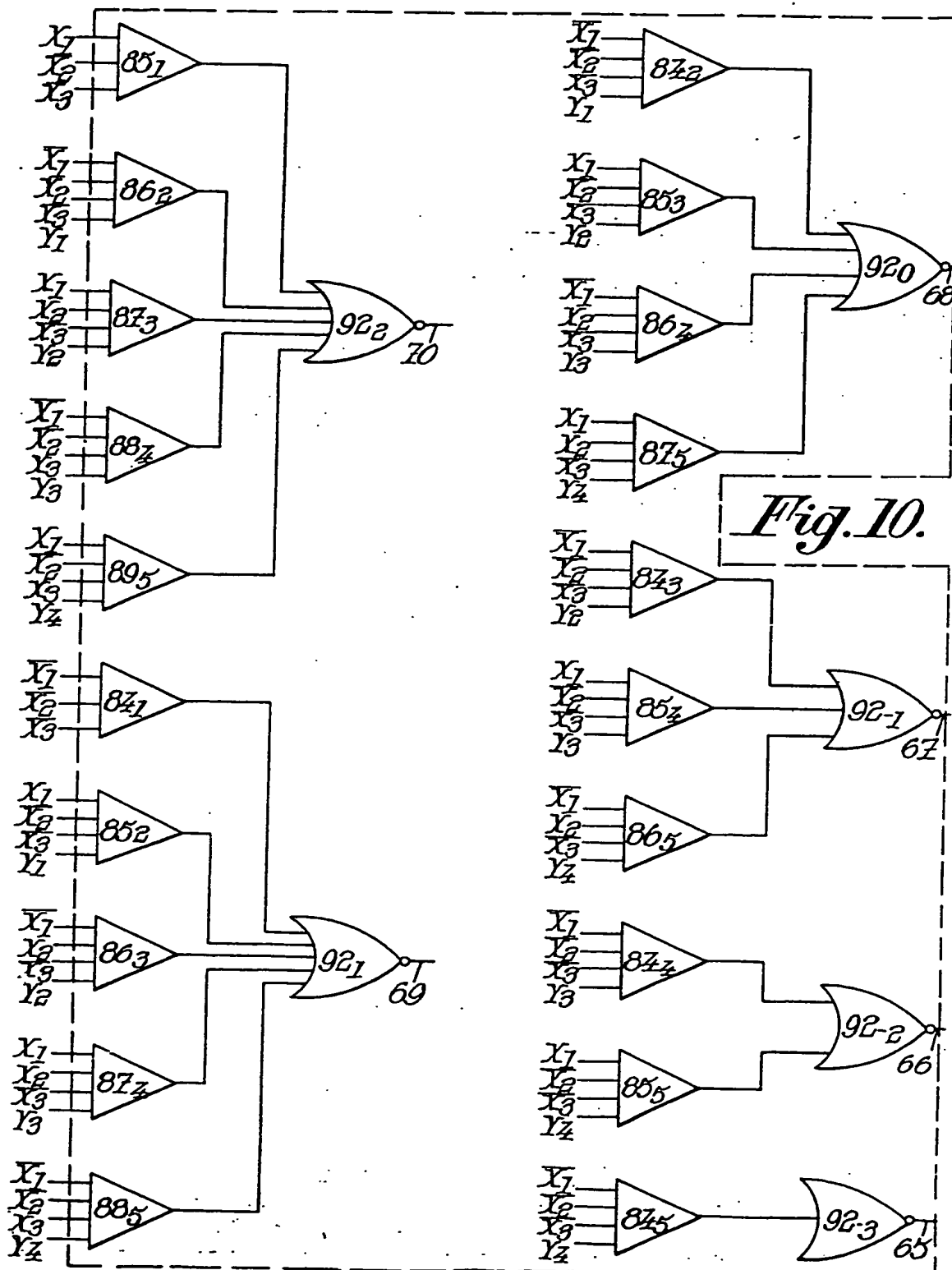


Fig. 11.





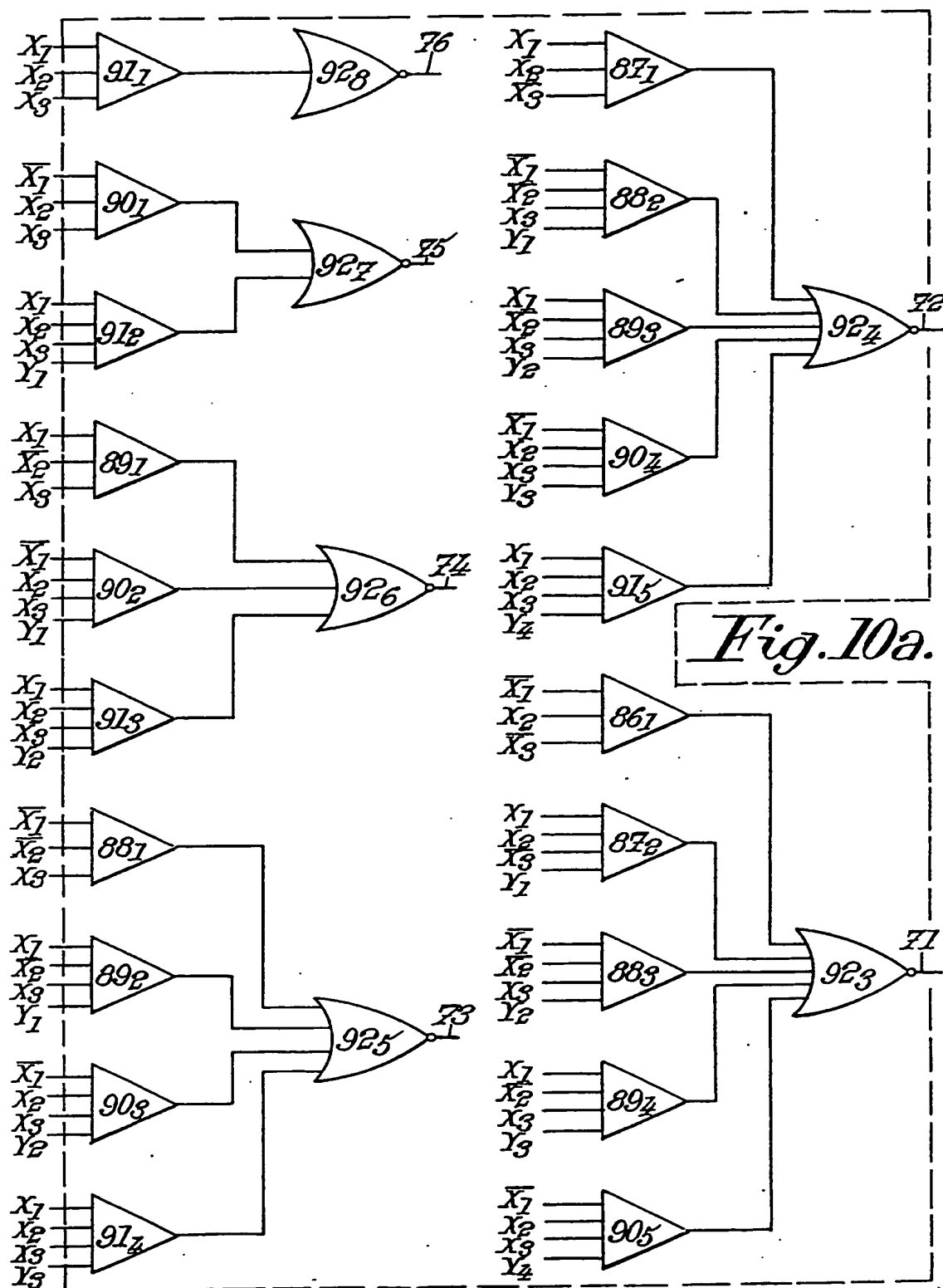


Fig. 10a.

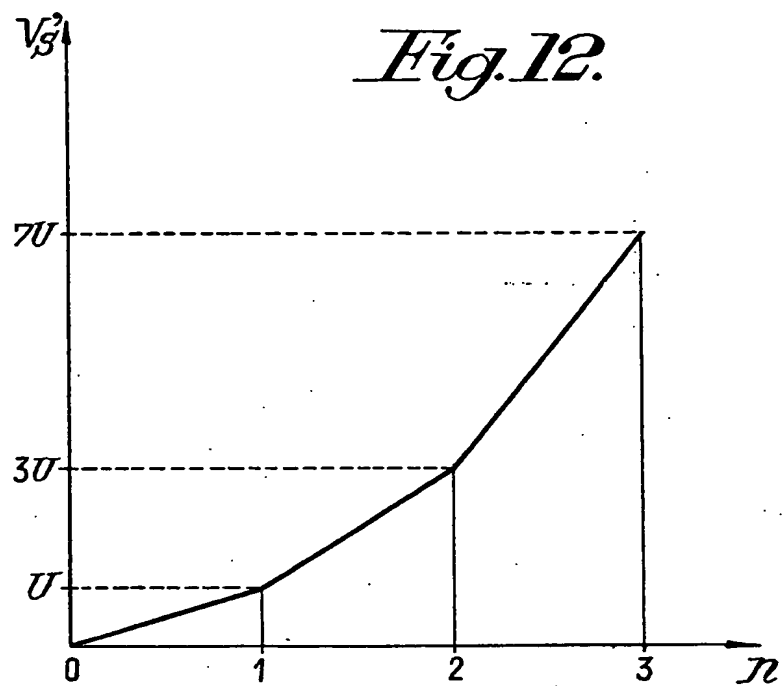


Fig. 13.

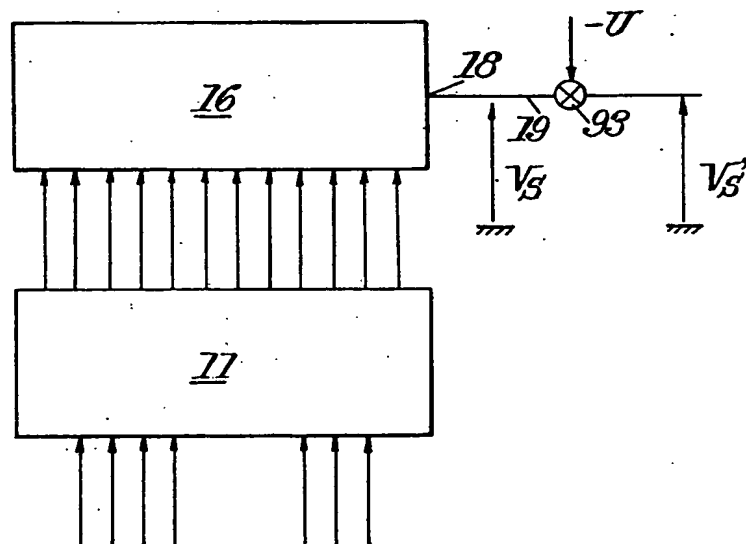


Fig. 14.

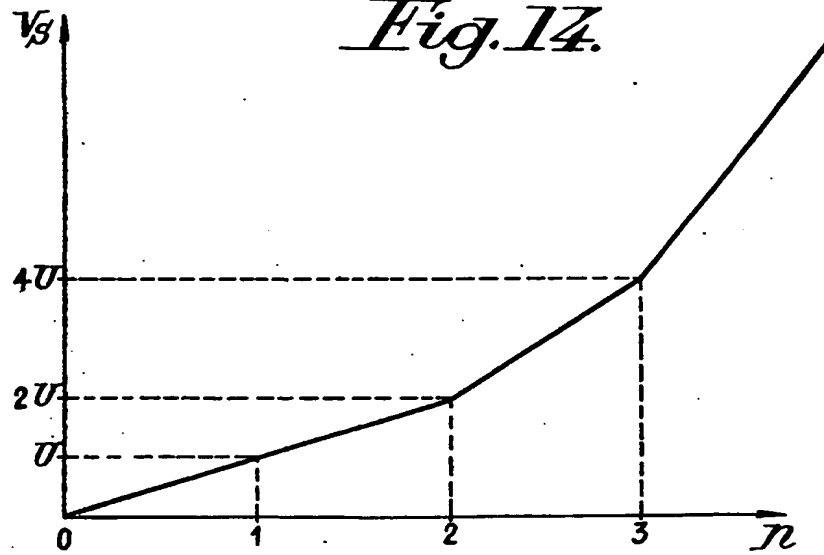


Fig. 15.

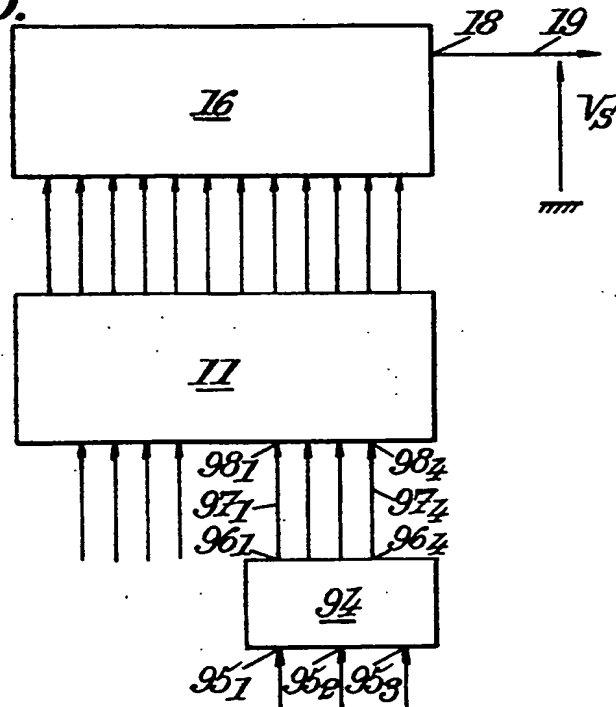


Fig. 16.

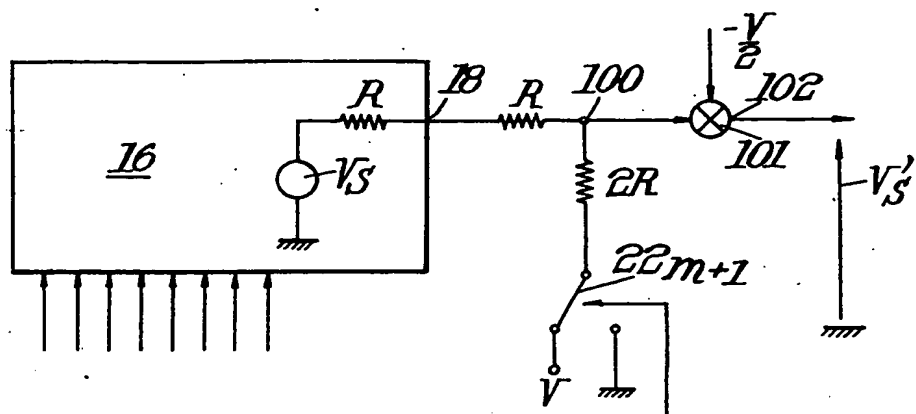
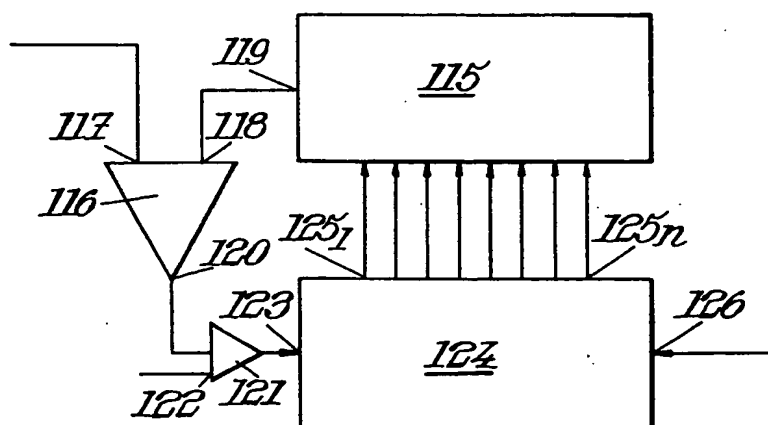


Fig. 19.



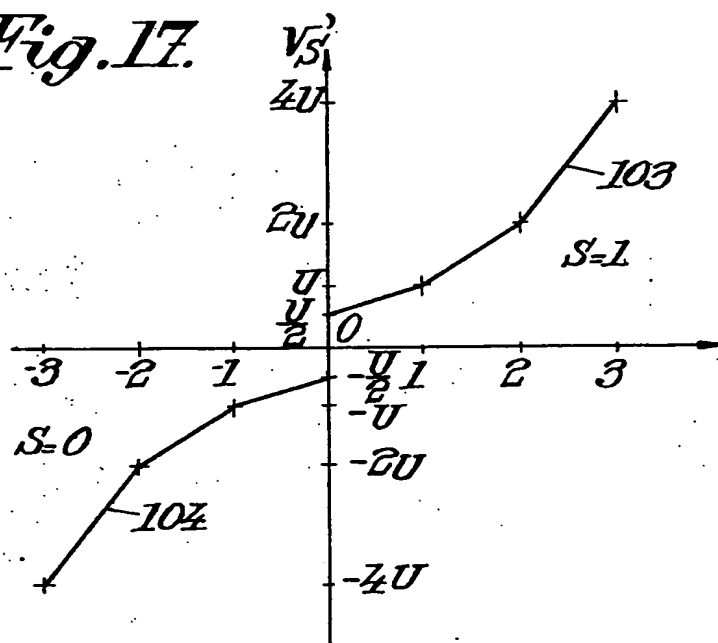


Fig. 18.

